



TECHNICKÁ UNIVERZITA V LIBERCI
Fakulta mechatroniky, informatiky
a mezioborových studií



Zákaznické obvody

Prof. Ing. Ondřej Novák, CSc.
ITE



evropský
sociální
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání
pro konkurenceschopnost

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Projekt ESF CZ.1.07/2.2.00/28.0050
**Modernizace didaktických metod
a inovace výuky technických předmětů.**

Dělení číslicových IO

- **podle stupně integrace**
 - SSI, do 20 hradel, řada 74XX
 - LSI, do 20 000 hradel (PLD, zákaznické obvody)
 - VLSI, počet transistorů řádově 10^{10}
- **podle technologie**
 - monolitické (bipolární, unipolární)
 - hybridní (tlustovrstvé, tenkovrstvé, multičipové, kombinované)
- **podle charakteru aplikace**
 - standardní (s pevnou nebo programovatelnou strukturou)
 - aplikačně specifické

Technologie realizace systémů

- **realizace na bázi standardních logických obvodů**
 - ✓ Výborná pozorovatelnost signálů, srozumitelná funkce
 - ✓ běžná dostupnost
 - ✓ univerzálnost
 - ✓ snadné a levné změny
 - ✓ velké rozměry
 - ✓ vhodné pro menší sériovost
- **realizace na bázi součástek programovatelných instrukcemi**
 - ✓ pružná změna funkce (v paměti EPROM, ROM, RAM)
 - ✓ malá rychlost odezvy
 - ✓ velká výpočetní kapacita
 - ✓ vhodné i pro malé série

Technologie realizace systémů

■ realizace na bázi ASIC

- velká spolehlivost (menší počet součástek a spojů)
- lepší dynamické vlastnosti (omezení parazitních vlastností)
- malé rozměry a hmotnost, úspora konstrukčních materiálů
- nízká spotřeba
- relativně krátká doba realizace
- nesnadné okopírování

Důvody vzniku a rozvoje ASIC

- **roste hustota integrace**
- **roste velikost systémů na čipu**
 - ⇒ drahý vývoj, nutné velké série ⇒ dostatečně univerzální IO
 - ⇒ nutné zlevnit vývoj ⇒ zkrácení návrhu, zmenšení pracnosti
 - ⇒ ekonomičnosti se dosahuje obvodem přesně přizpůsobeným účelu
- **návrh IO se přesouvá k zákazníkovi**
 - oddělení návrhového a výrobního procesu
 - nutnost přesně definovat rozhraní
 - vzniká skupina systémových inženýrů různých oborů

Dělení ASIC

- **Zakázkové (Custom)**
 - podle uživatele se navrhují všechny masky technologického procesu
- **Polozakázkové (Semi-custom)**
 - podle uživatele se navrhují pouze propojovací masky
- **Programovatelné (Programmable)**
 - uživatel sám programuje funkci (např. přerušováním propojek)
- **Vnořená pole (Embedded Arrays)**
 - kombinace zakázkových a polozakázkových technik
 - příp. vkládání HW procesorů

Zakázkové IO

■ Standardní buňky (Standard Cell)

- číslicové FB jsou rozmisťovány na čipu do řad (sloupců), mezi kterými je pak realizováno propojení

■ Standardní bloky

- obdoba standardních buněk v analogové oblasti

■ Parametrizované FB

- v dané struktuře obvodů lze měnit a nastavovat hodnoty parametrů pasivních i aktivních prvků

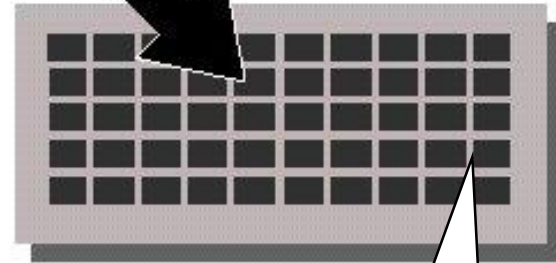
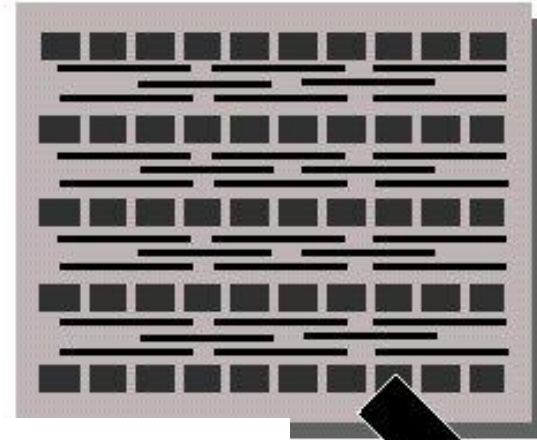
■ Plně zakázkové IO

- neomezují návrháře knihovnou FB (obvodovou strukturou)
- nejlepší funkční parametry
- náročné na zkušenost, vývoj, cenu

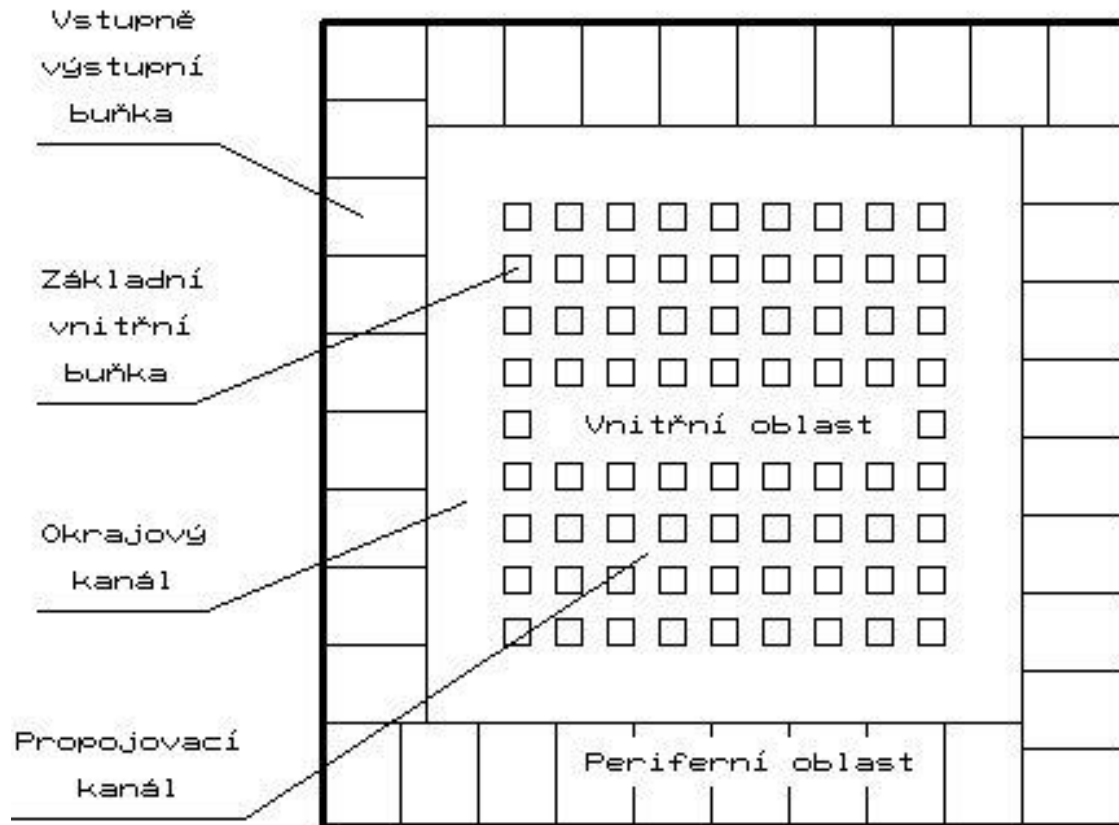
Polozakázkové IO

- **Hradlová pole (Gate Array)**
 - pravidelná, předem pevně definovaná, maticová struktura
- **Analogová lineární pole**
 - předem připravený sortiment nepropojených aktivních a pasivních součástek
- **Analogová pole obvodů (pole funkčních bloků)**
 - soubor nepropojených standardních analogových FB a dalších aktivních a pasivních součástek
 - lepší elektrické parametry (předem optimalizováno)

Hradlová pole

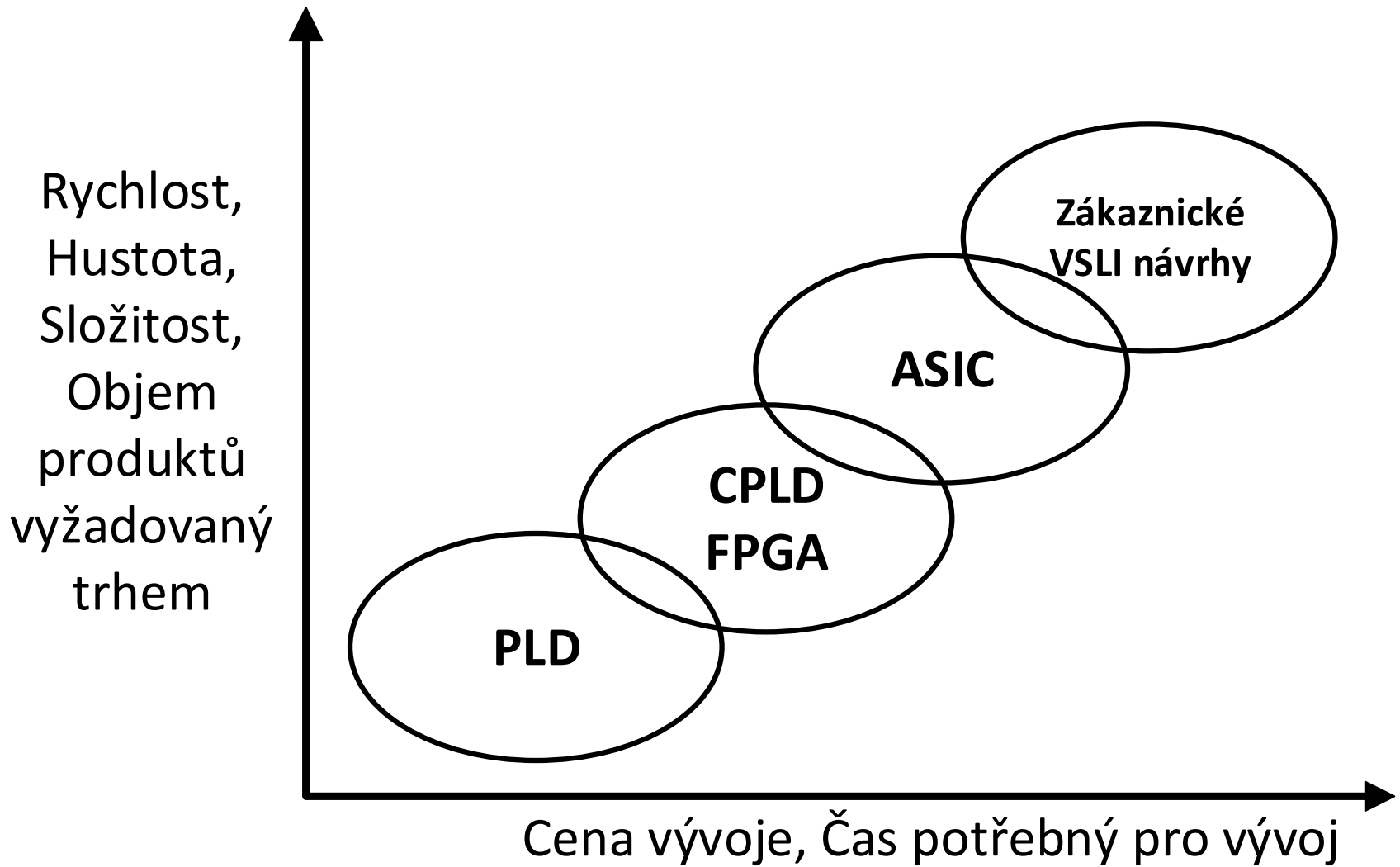


Sea-of-Modules Architecture



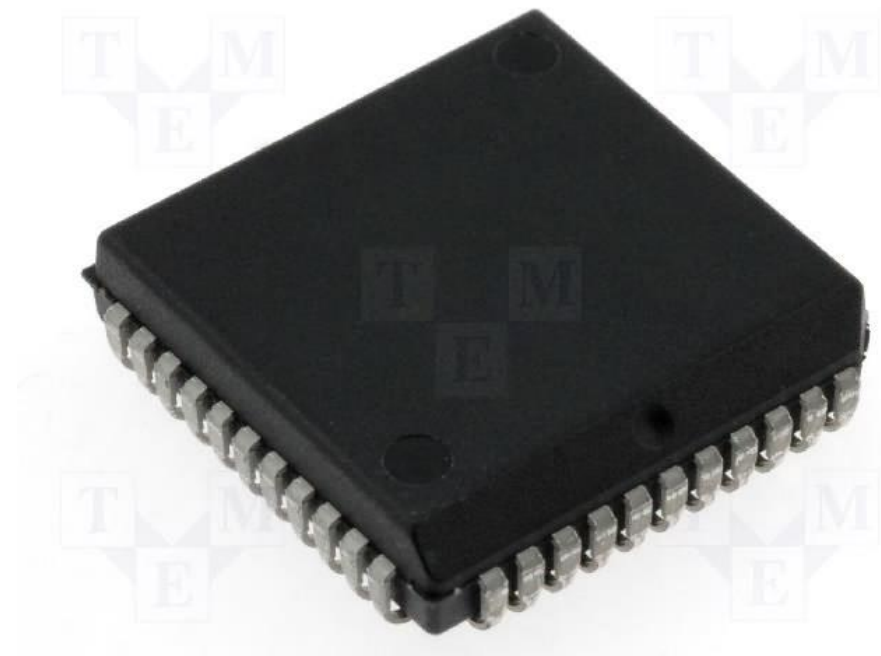
Propojky mezi buňkami jsou vedeny přes nepoužité buňky – snížení využitelnosti pole

Cena návrhu obvodu a využitelnost na trhu



Programovatelné IO

(PLD, FPLD, PLA, ROM, PAL, GAL, CPLD, FPGA)



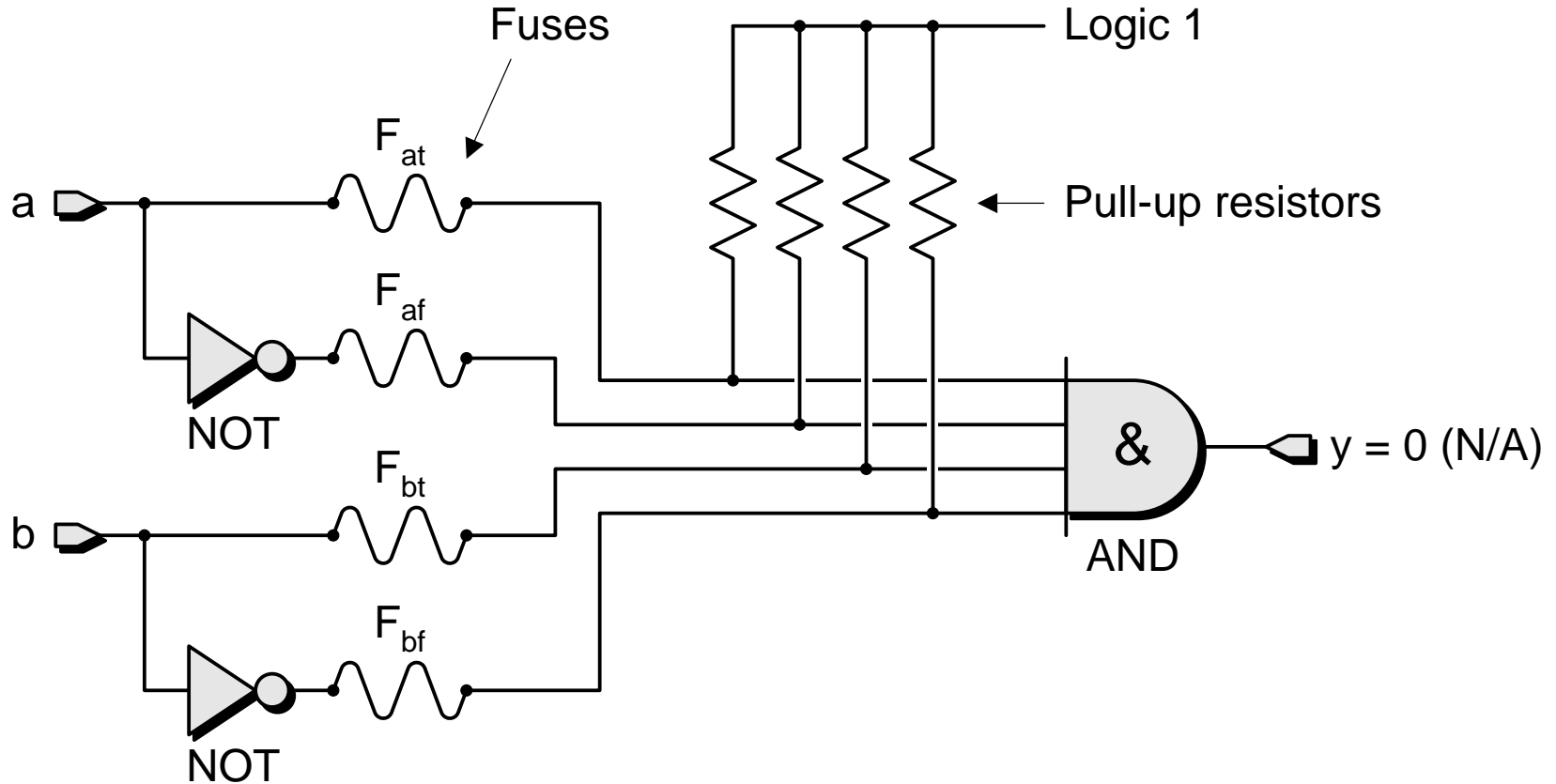
Dělení FPLD

- **PLD (Programmable Logic Device)**
popř. Simple PLD (SPLD), Erasable PLD (EPLD)
 - pevně daná struktura typu: vstup - pole **AND** - pole **OR** - výstup**PROM** (Programmable Read Only Memory)
PAL (Programmable Array Logic)
GAL (Generic Array Logic)
FPLA (Field Programmable Logic Array)
- **CPLD (Complex PLD)**
 - složitější architektury vycházející z PLD (vrstevnaté, s propoj. maticí, ...)
- **FPGA (Field Programmable Gate Array)**
 - pravidelná struktura programovatelných logických bloků s vodorovnými či svislými propojovacími linkami a propojovacími maticemi, možnost vlastního návrhu propojení bloků

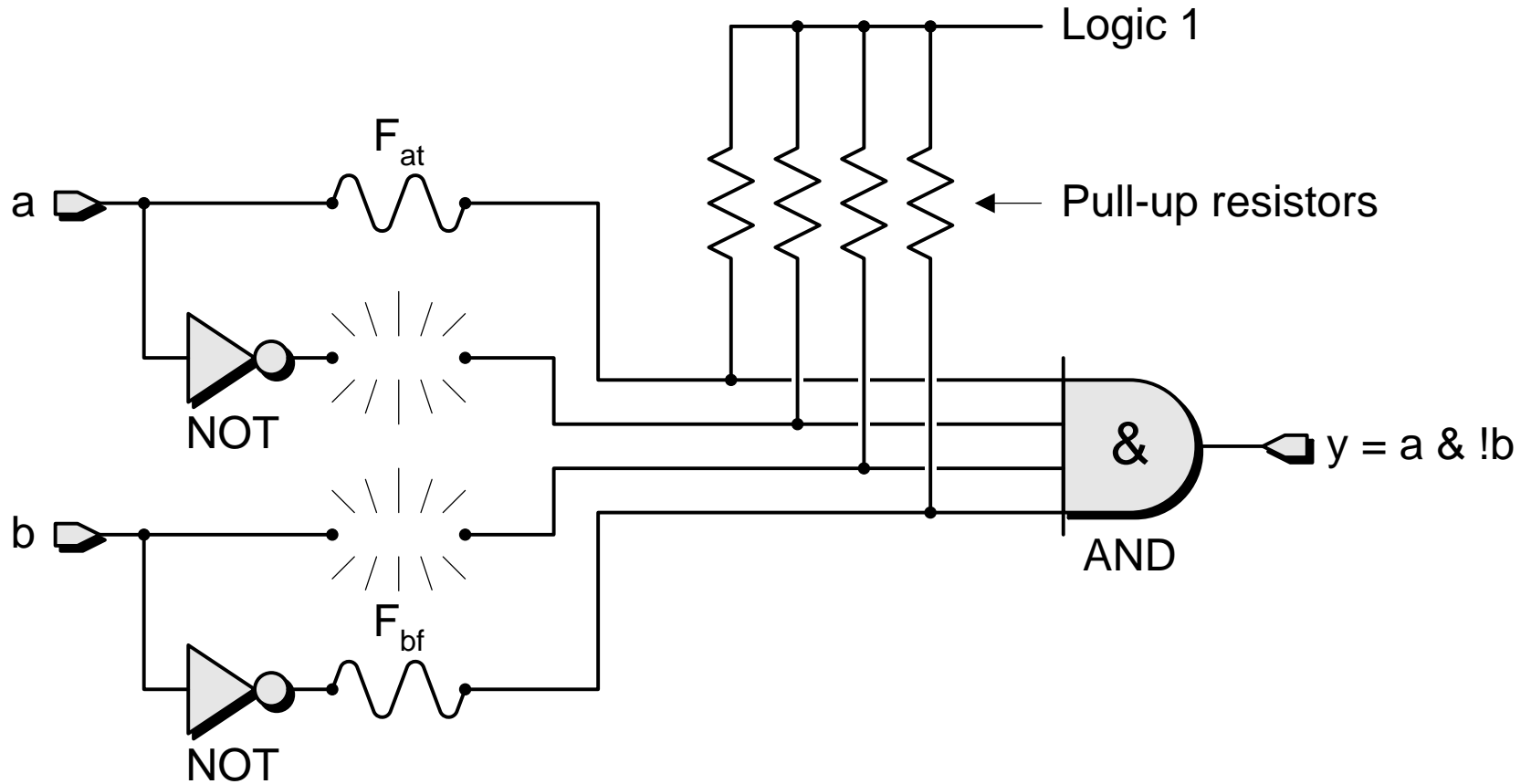
FUSE

- Poprvé bylo programovatelné propojení použité v obvodech **PLA**, kde bylo realizované jako tavná pojistka–*fuse* (OTP). Tato technologie není v současnosti významná a byla nahrazená novějšími technologiemi programování propojek. Programovatelnost jednotlivých propojení je zabezpečena použitím propojovacích spínačů (Logic Control Element) realizovaných na bázi různých technologií:
 - pevné propojení (fuse) programované jeho přetavením (PROM),
 - EPROM, EEPROM spínač,
 - spínač na bázi statické paměťové buňky (SRAM)
 - spínač typu flash memory

FUSE

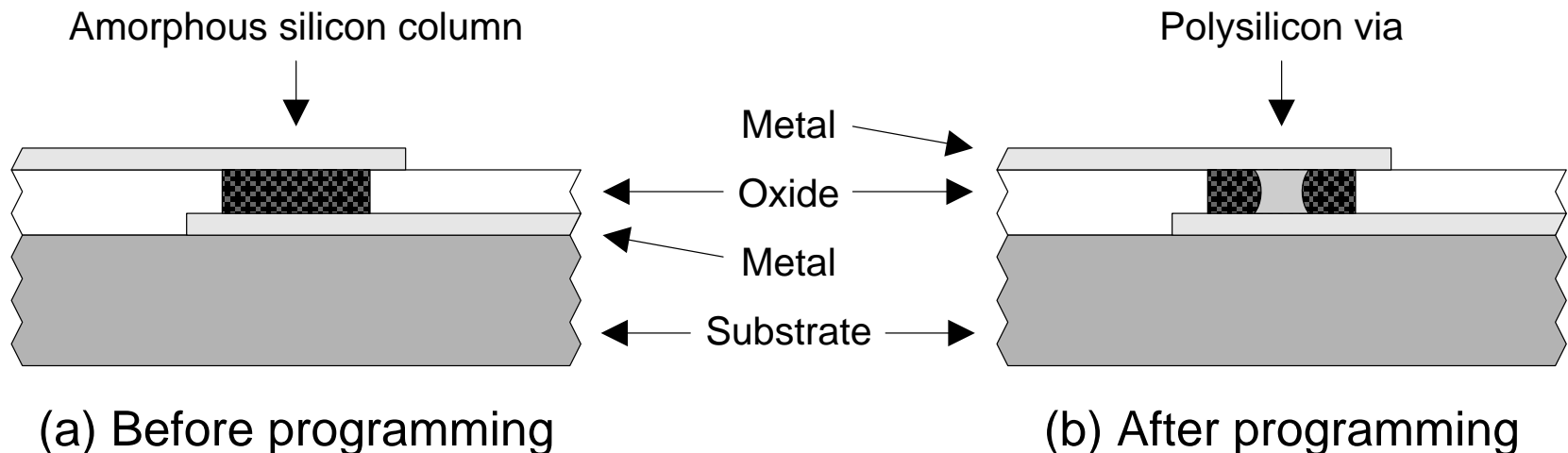


FUSE

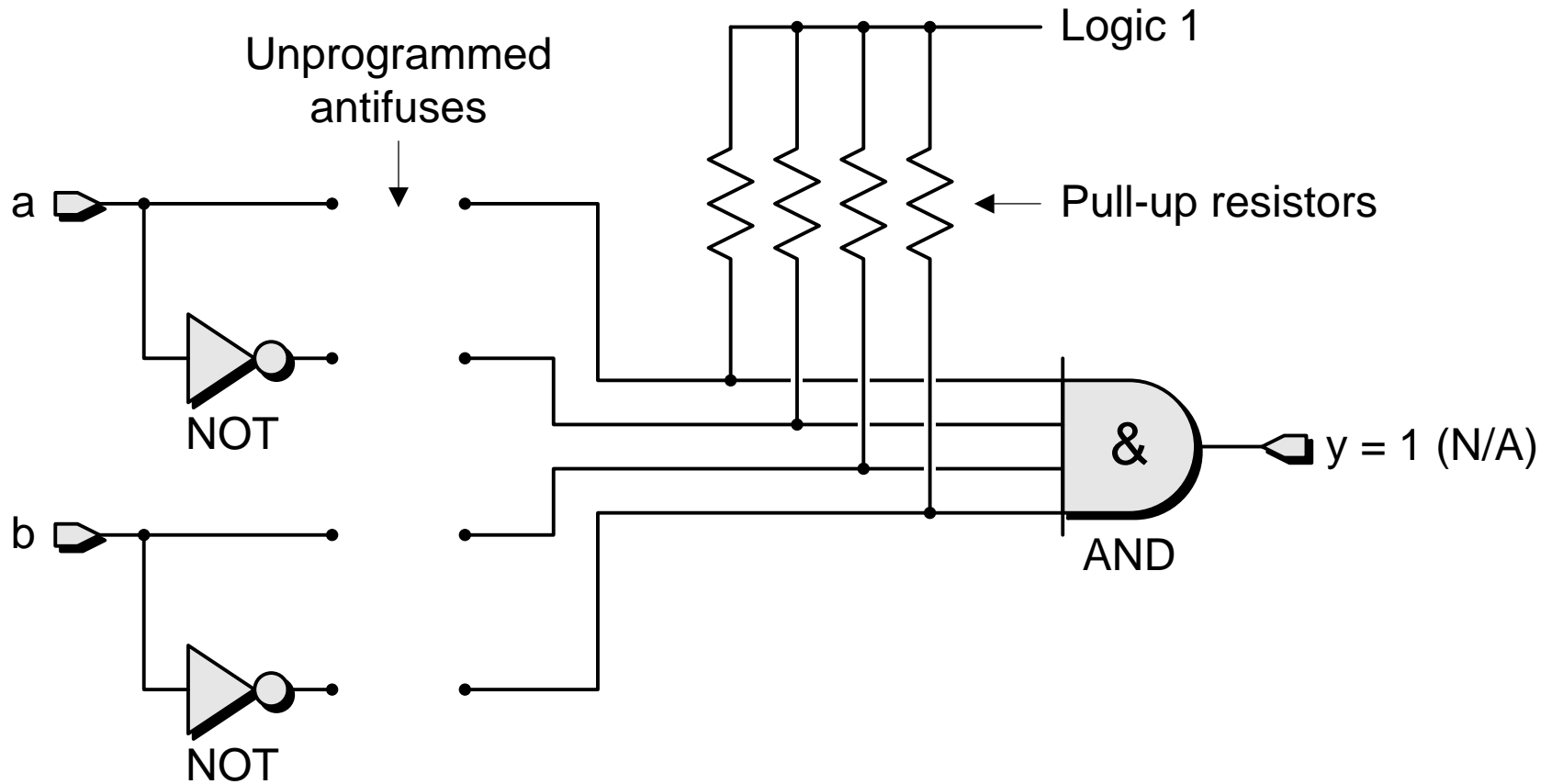


ANTIFUSE

Antifuse(programovatelná propojka) v nenaprogramovanom stavu má veľký odpor, je rozpojená. Programovaním snížime odpor tak, že propojkou bude procházet signál. Antifuse jsou vyráběné modifikovanou CMOS technologií. Skladá sa z tří úrovní: horní a dolní tvoří vodič a uprostřed je izolant. V nenaprogramovaném stavu izolant izoluje horní a dolní vrstvu. Při naprogramování sa z něho stáva vodič s nízkym odporem.

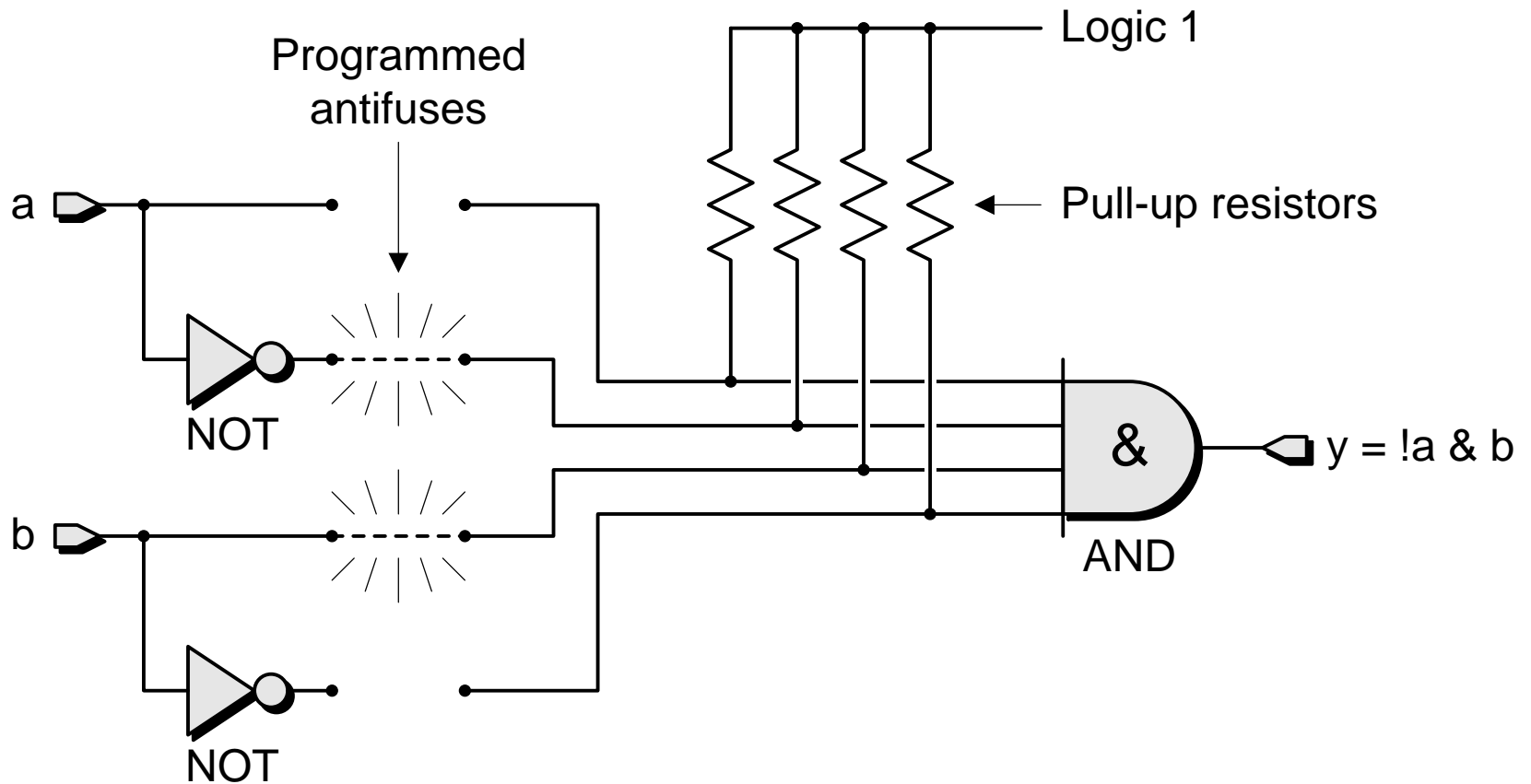


ANTIFUSE



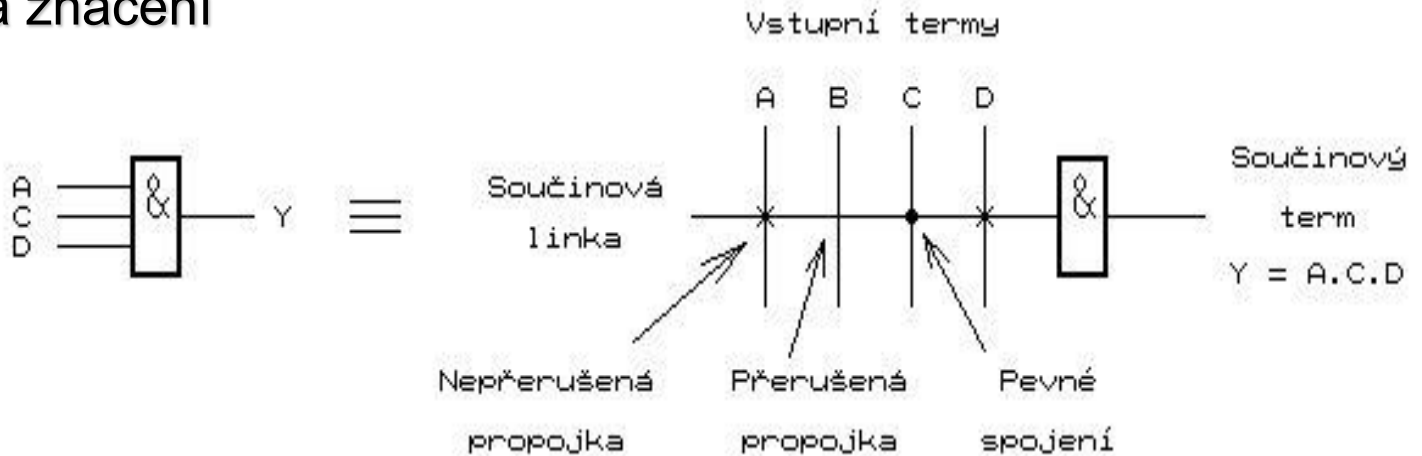
The Design Warrior's Guide to FPGAs
Devices, Tools, and Flows. ISBN 0750676043
Copyright © 2004 Mentor Graphics Corp. (www.mentor.com)

ANTIFUSE

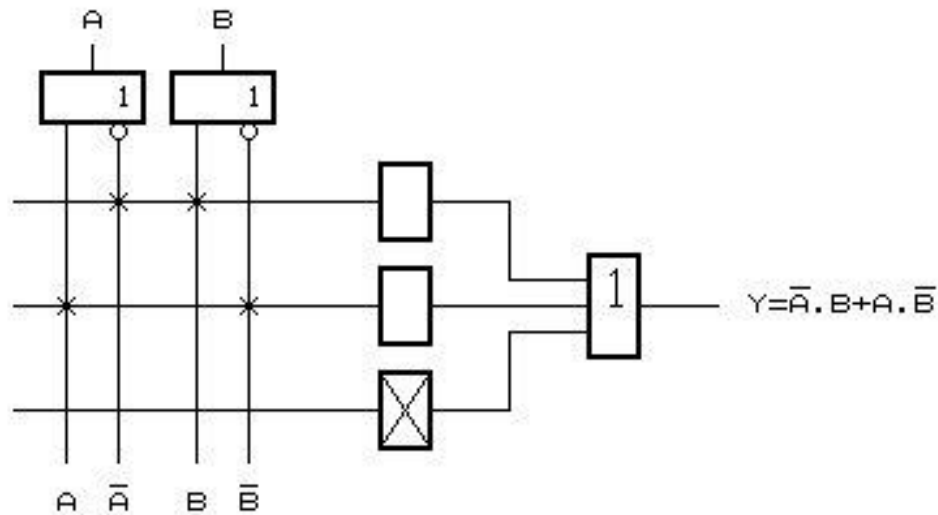


Principy obvodů PLD

Symbolika značení

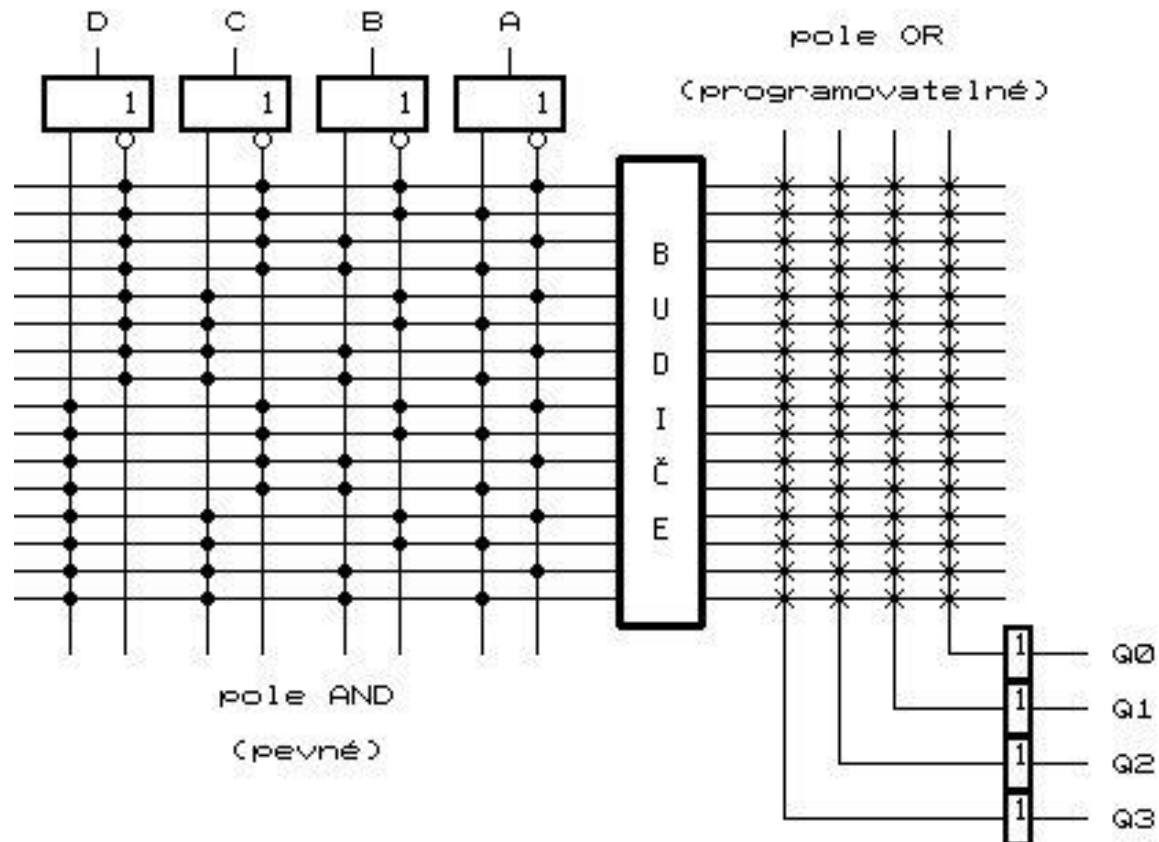


Příklad realizace funkce XOR



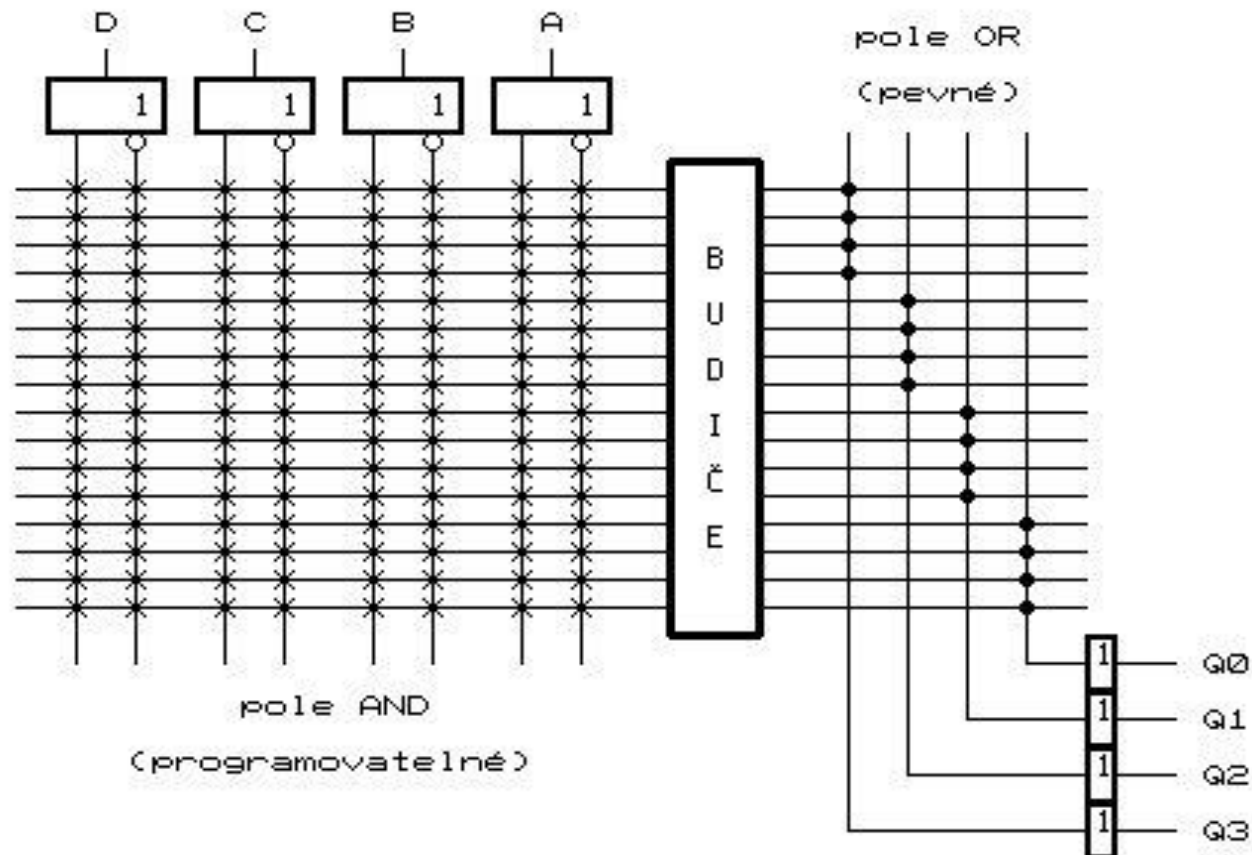
Obvody PROM

- programovatelné pole OR
- počet programovatelných bodů: $N = m \cdot 2^n$
- EEPROM (Electrically Erasable PROM)
- použití jako paměť konstant



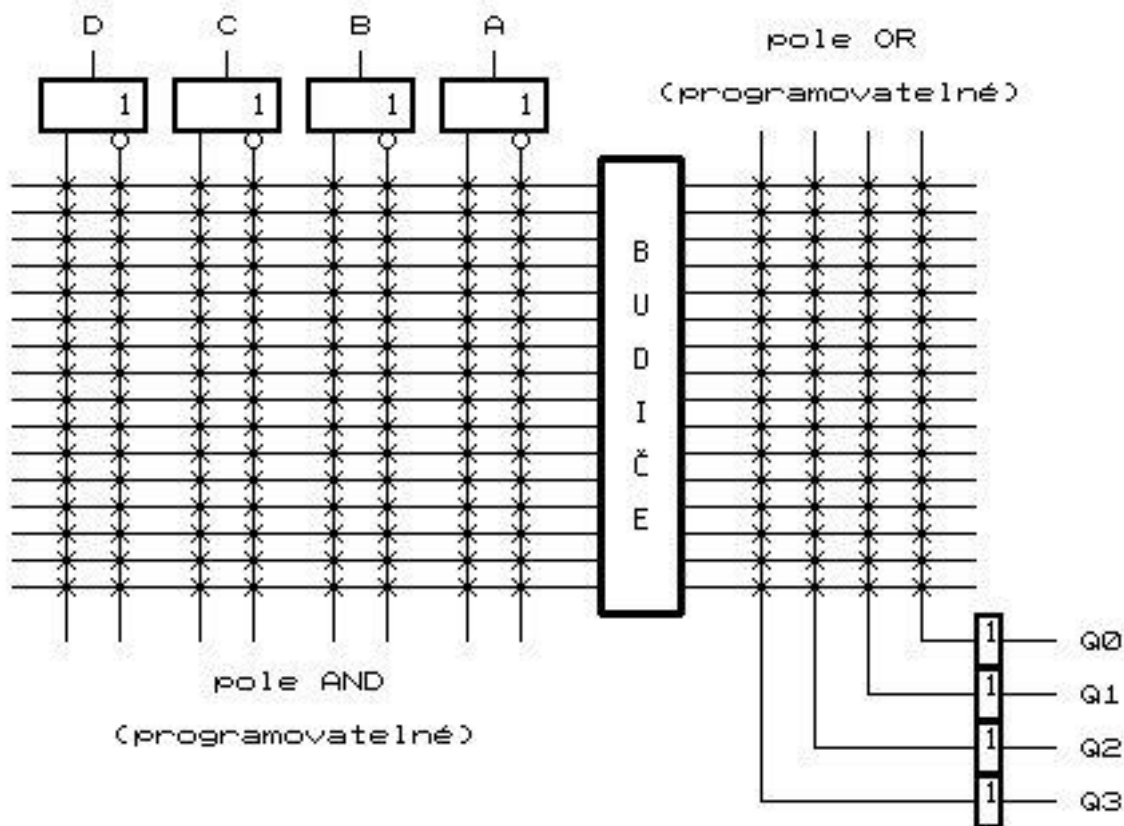
Obvody PAL

- programovatelné pole AND
- počet programovatelných bodů: $N = 2m.k.n$
- omezený počet součinnových termů k
- na výstupu mohou obsahovat klopné obvody



Obvody FPLA

- programovatelné pole AND i OR, málo používané
- počet programovatelných bodů: $N = m.k + 2k.n$
- odstraňuje omezení v počtu součinných termů



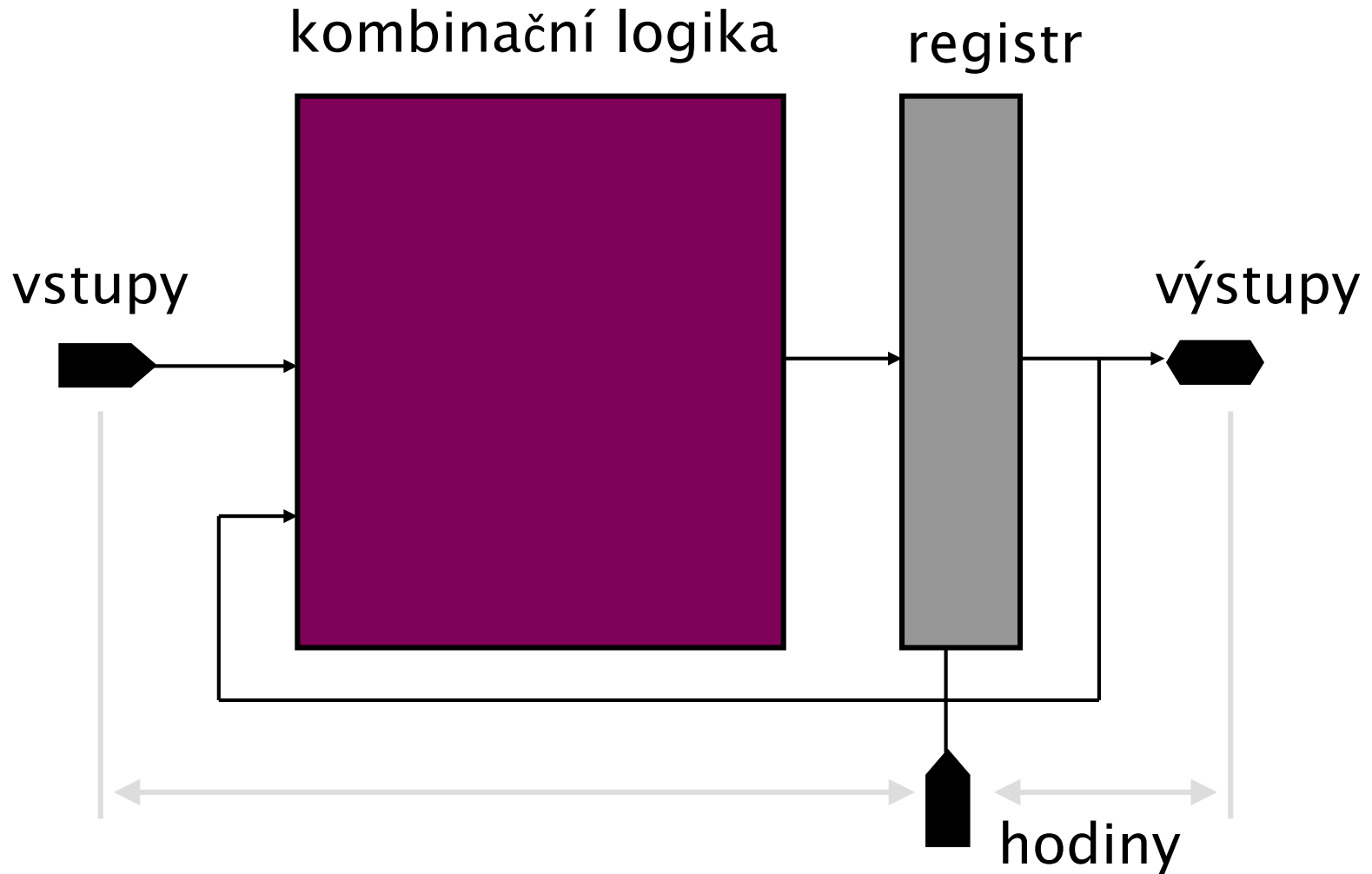
Obvody GAL

- vychází z obvodů PAL
- na výstupu makrobuňka OLMC (Output Logic Macro Cell)

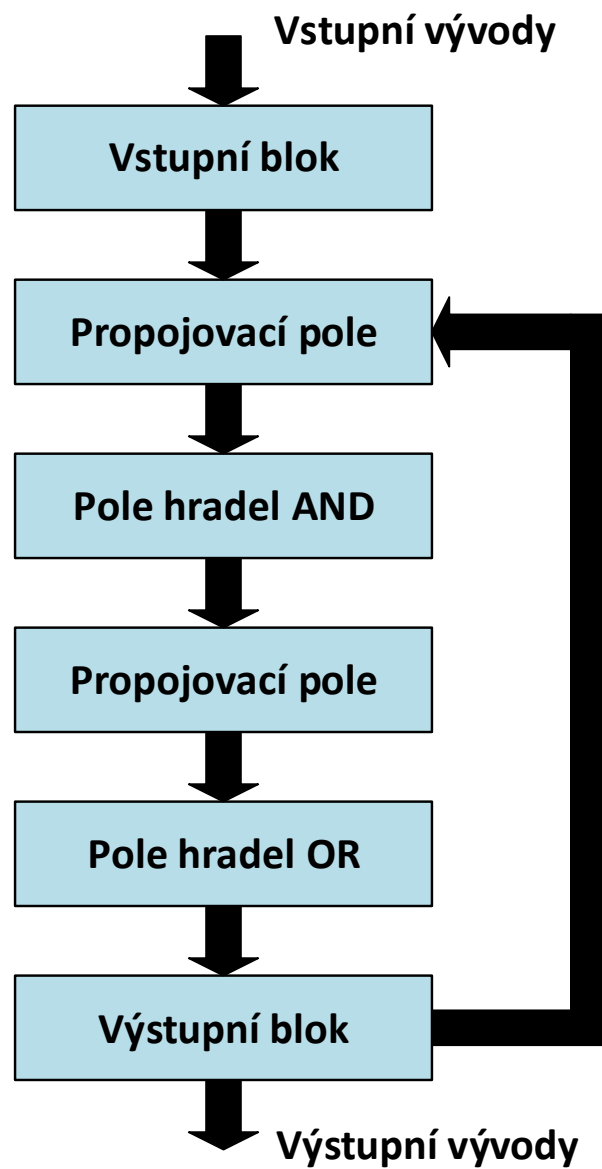
Makrobuňka obvodů GAL

- každý I/O lze konfigurovat jako vstup, výstup nebo třístavový výstup
- některé z konfigurovatelných parametrů pouze globální

Architektura GAL

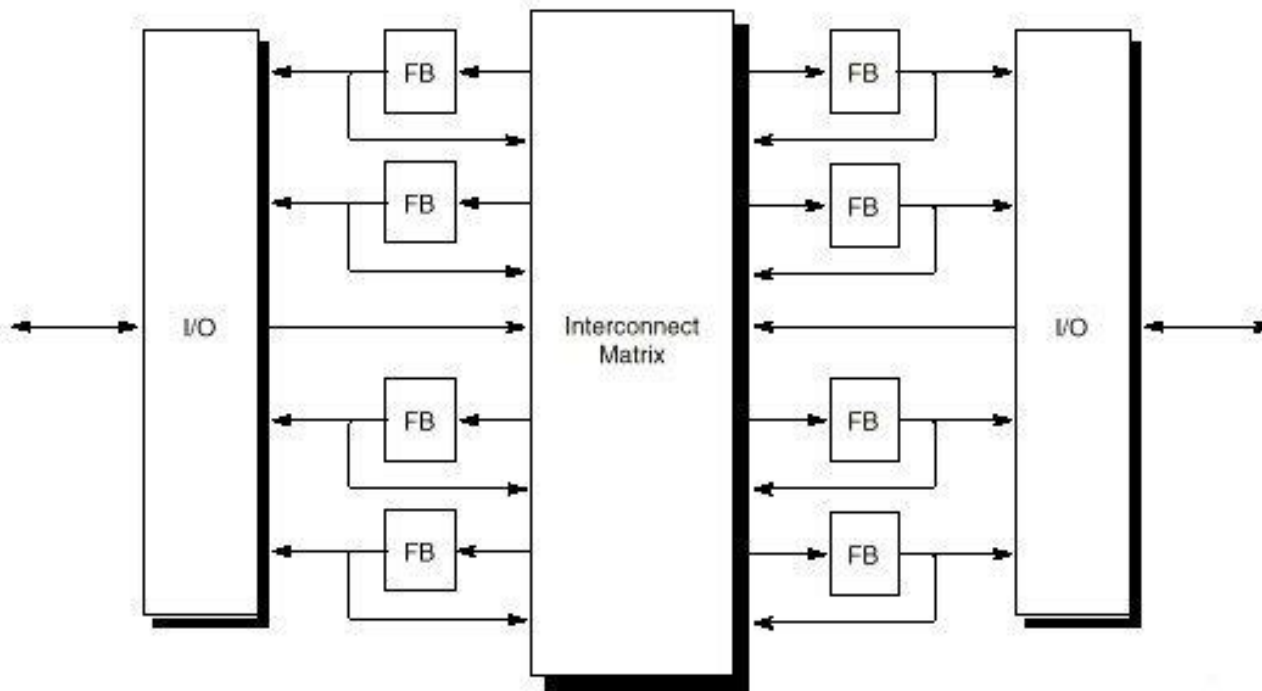


Architektura programovatelného logického pole



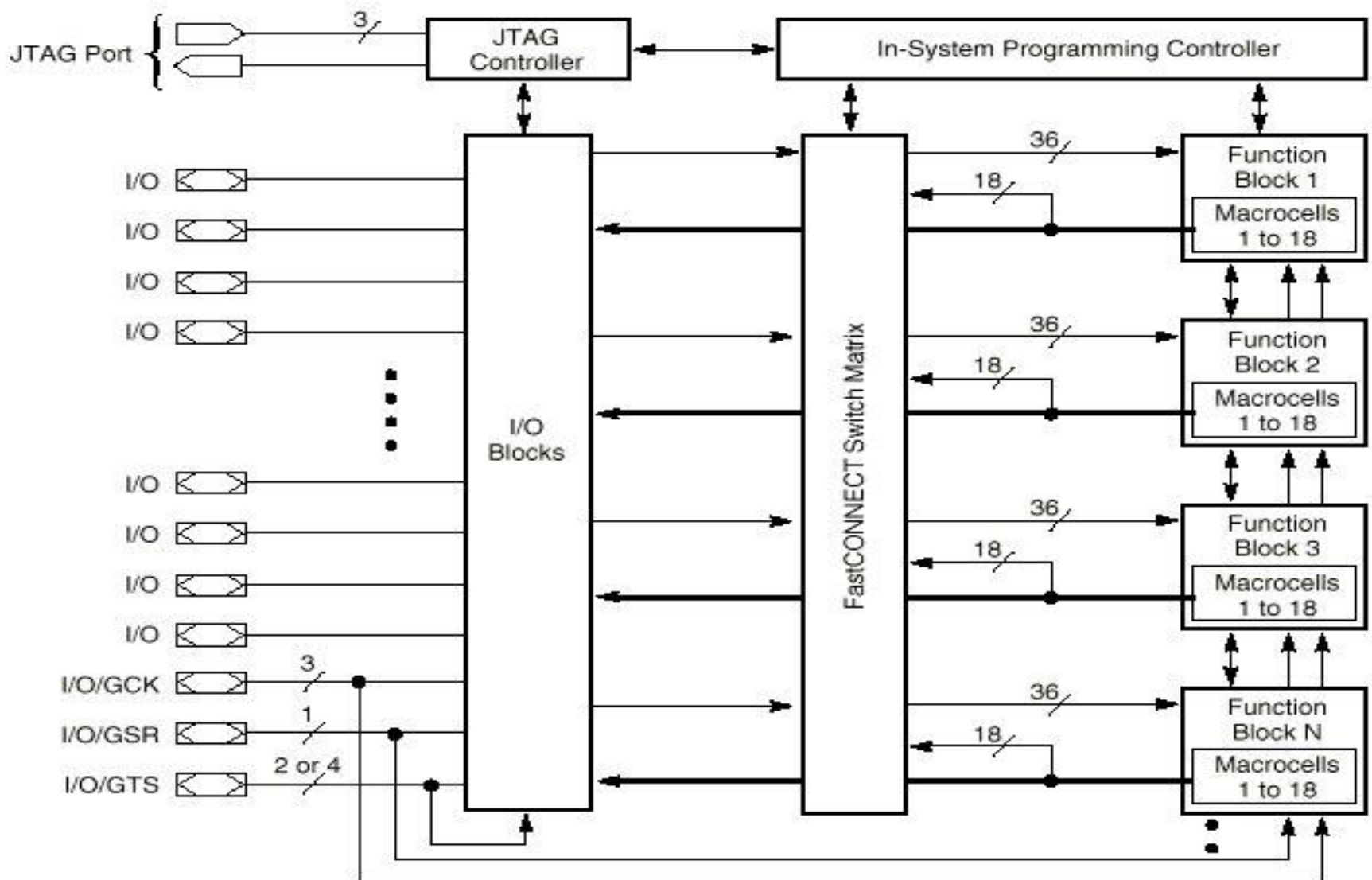
Obvody CPLD

- složitostí mezi PLD a FPGA
- obsahují centrální programovatelnou propojovací matici
 - MAPL (Multiple Array Programmable Logic)
 - MACH (Macro Array CMOS High-density)
 - PEEL (Programmable Electrically Erasable Logic)



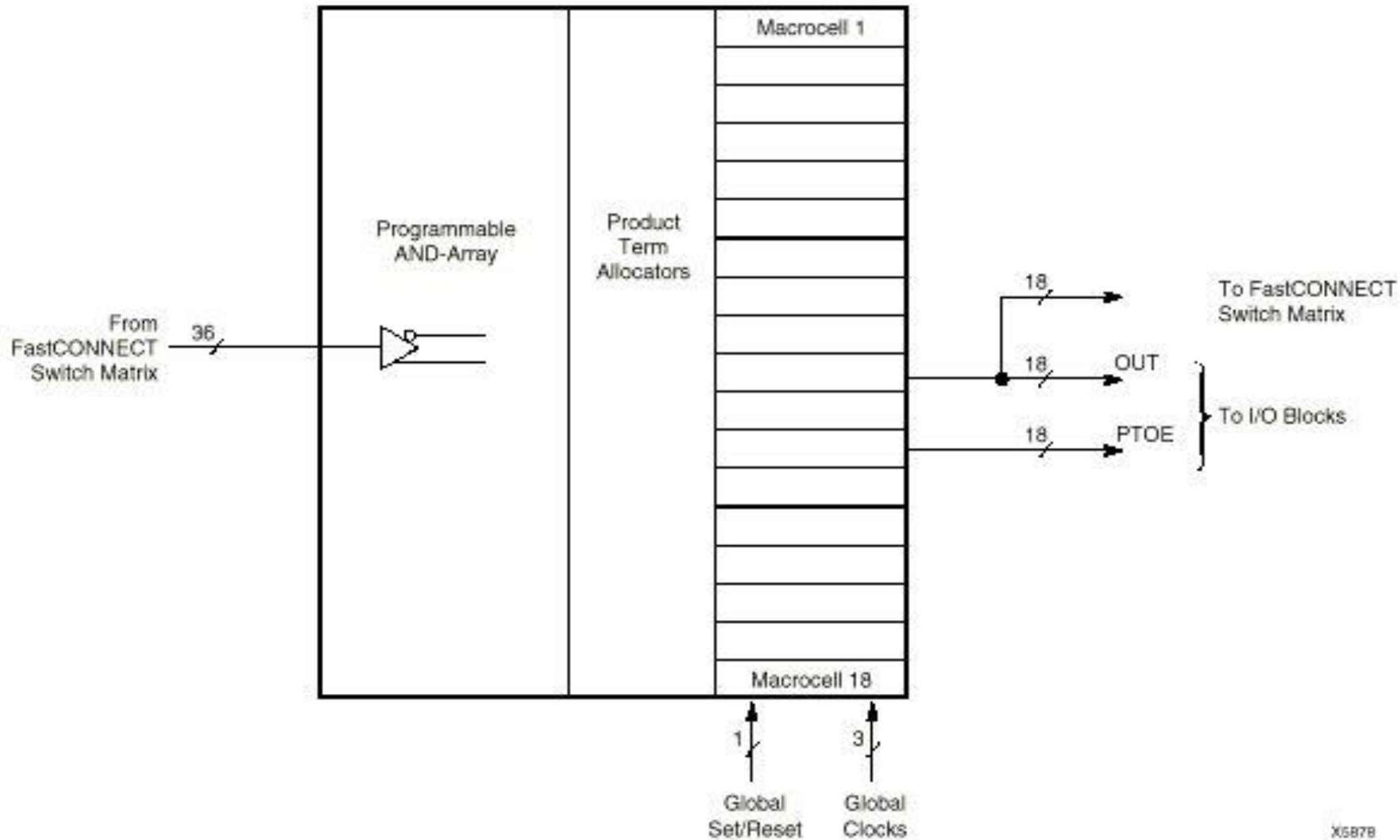
Obvody CPLD (firma Xilinx)

Architektura XC9500 (In-System Programmable CPLD)



Obvody CPLD (firma Xilinx)

Funkční blok XC9500

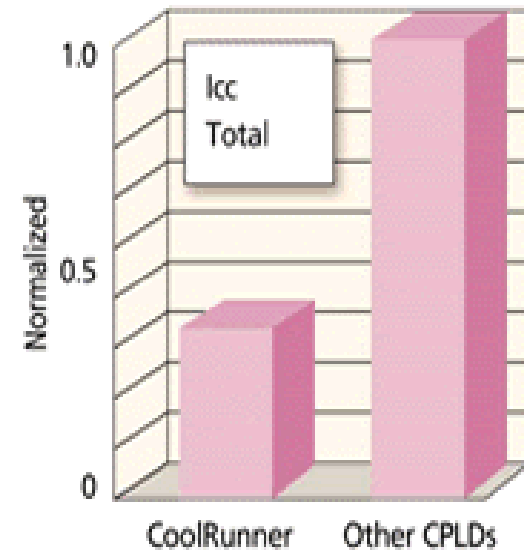
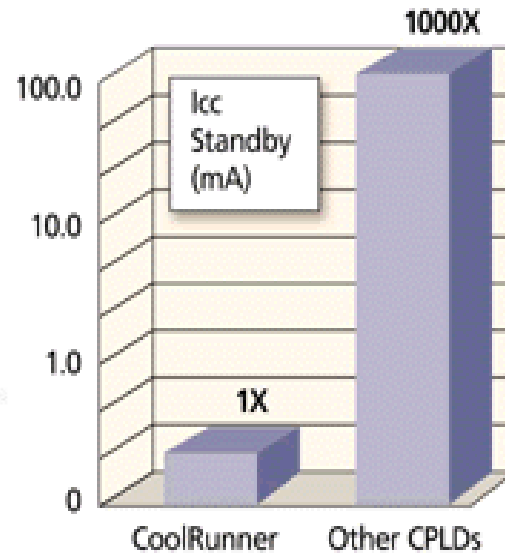
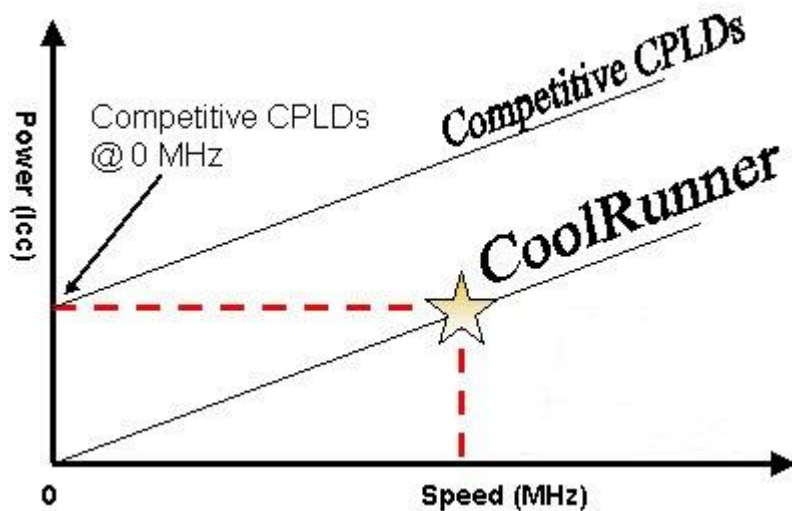


X5878

Obvody CPLD s nízkou spotřebou

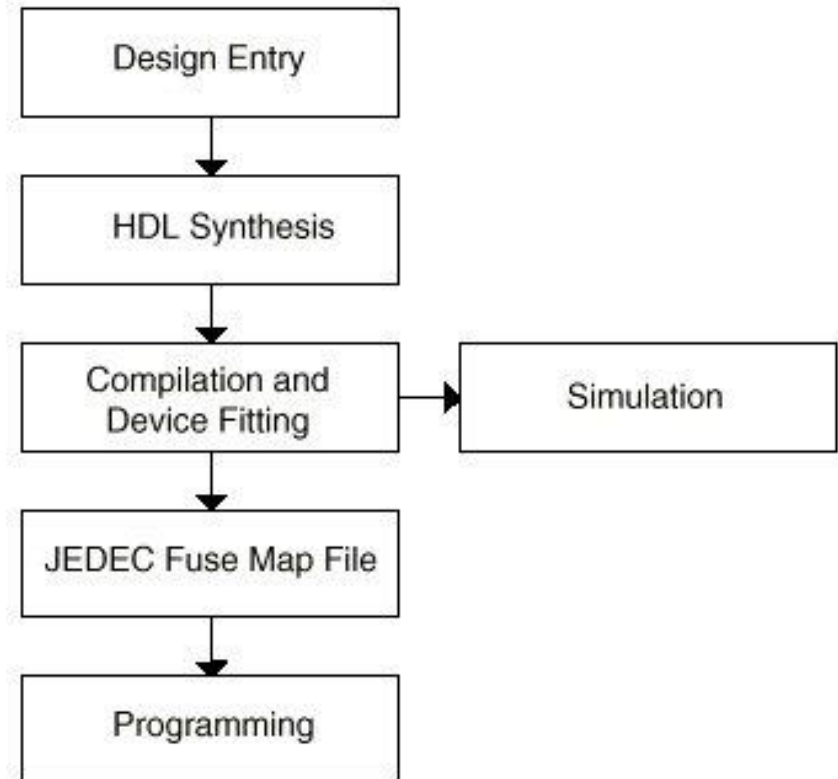
Řada CoolRunner (Xilinx, Philips)

- proud v režimu Standby < 0,1 mA
- $T_{pd} = 6$ ns
- 3,3 a 5 V

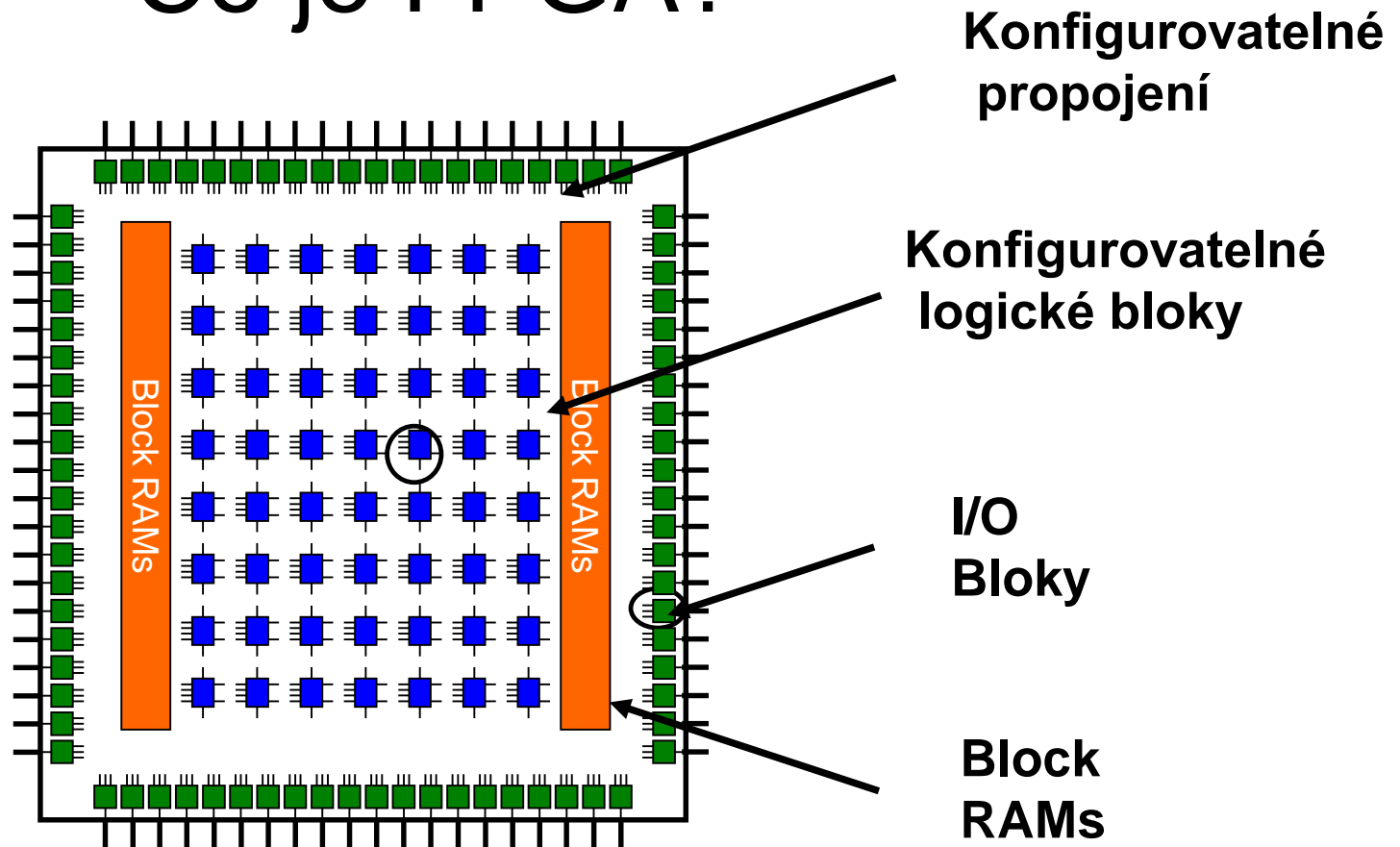


Metodika návrhu obvodů PLD

- definice funkce
 - logické rovnice
 - stavový diagram
 - pravdivostní tabulka
 - indexové rovnice
- generace logických funkcí
- výběr obvodu PLD
- simulace funkce
- generace JEDEC souboru
- programování
- testování



Co je FPGA?

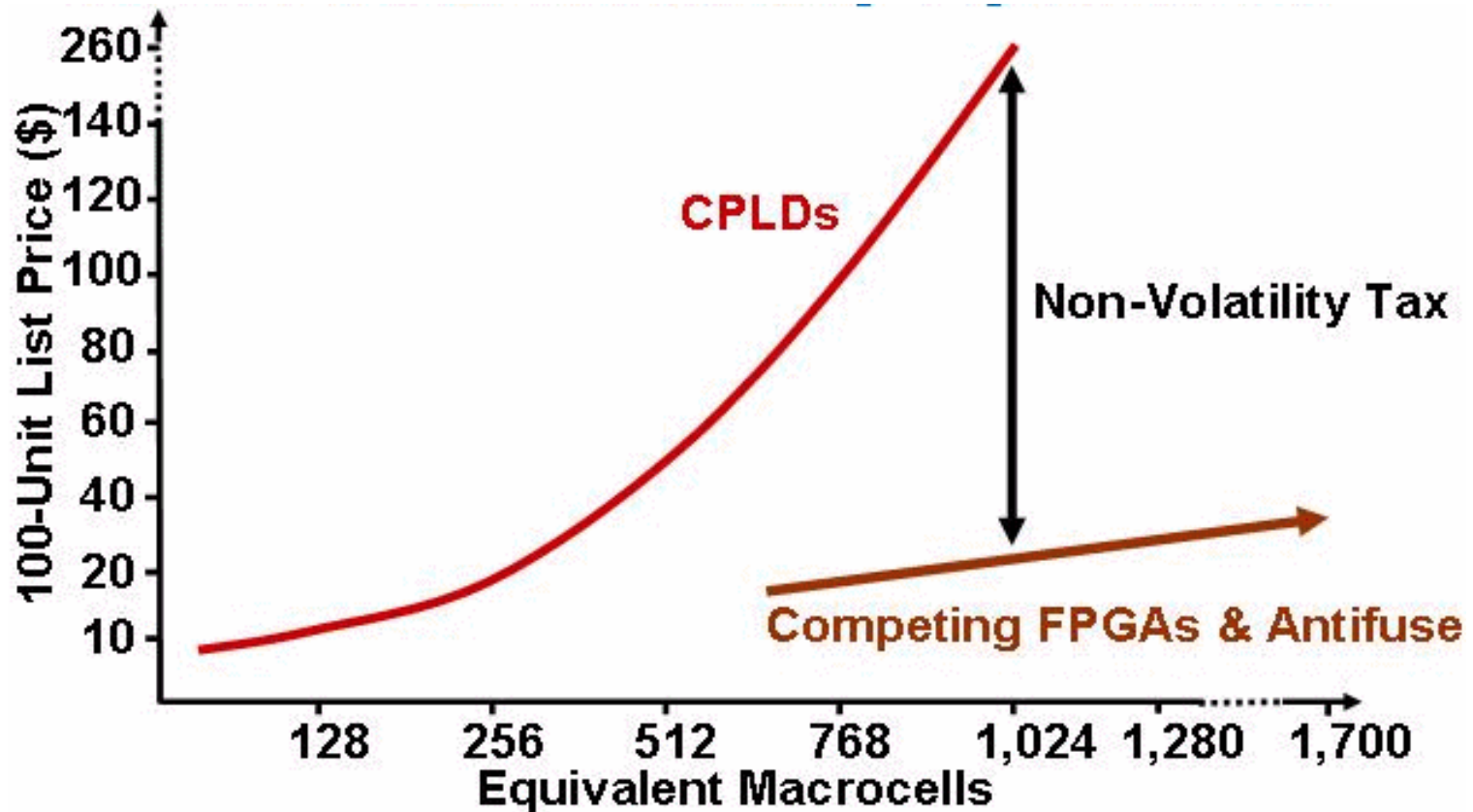


Navíc: mikroprocesory, bloky řízení hodinových signálů (DMC)
vysokorychlostní I/O transceivery, rychlé násobičky

Vlastnosti FPGA

- Snížení ceny vývoje prototypu, zrychlení náběhu výroby, umožnění použití standardních FPGA obvodů o velkých hustotách integrace pro malé série zákaznických návrhů
- Typy
 - Nonvolatilní FPGA - anti-fuse technologie
 - Nonvolatilní reprogramovatelné FPGA - flash technologie
 - Volatilní – SRAM technologie

Výběr CPLD x FPGA

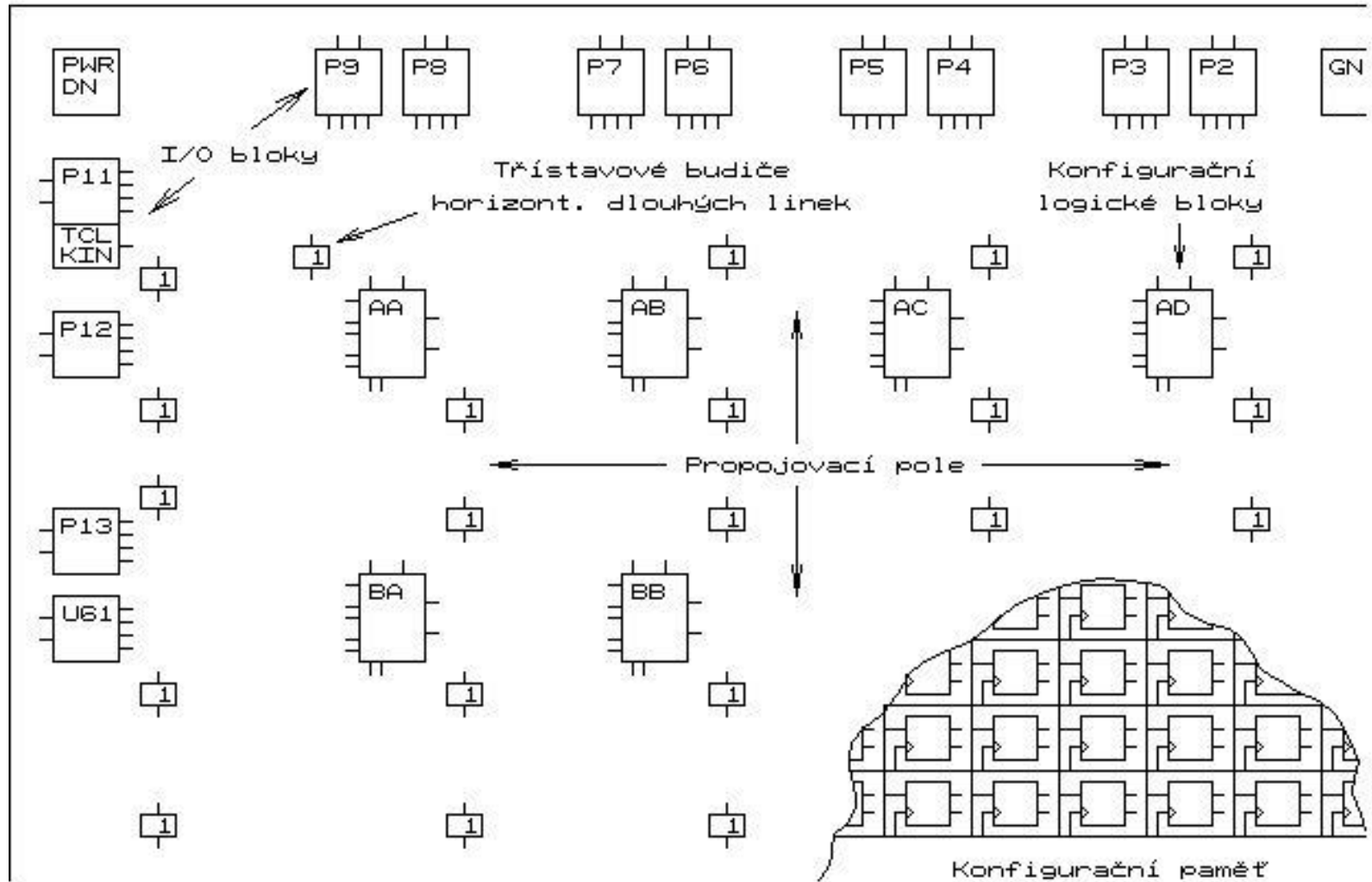


FPGA obvody Xilinx

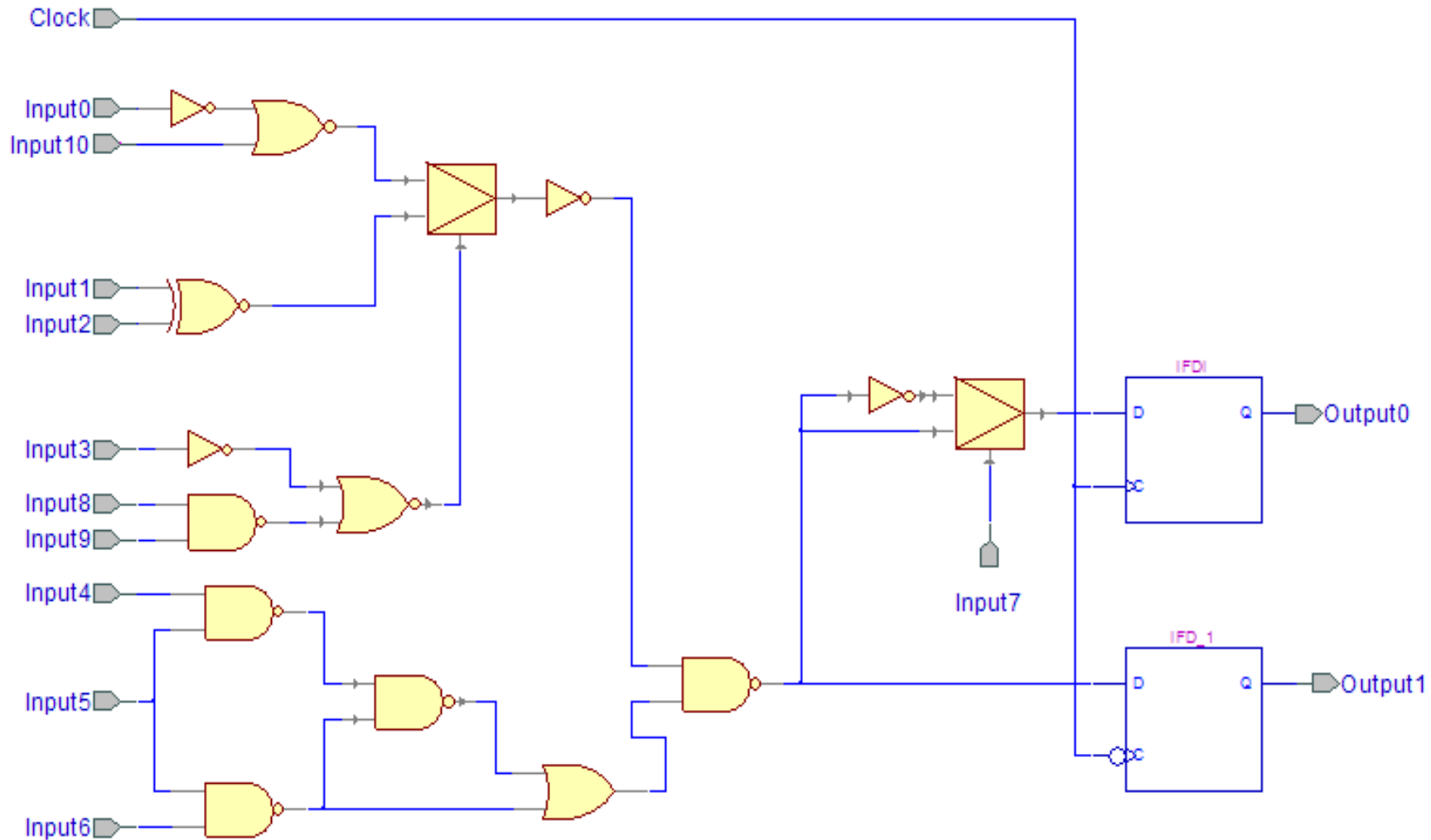
- Všechny FPGA Xilinx používají **konfiguraci pomocí statické paměti RAM**. To znamená, že po připojení napájení je nutné vždy nahrát znovu konfiguraci. Výhodou tohoto řešení je téměř **nekonečná reprogramovatelnost** FPGA a také **rychlost**. Konfigurační propojky pracující na principu paměti RAM jsou totiž rychlejší než přepínače založené na principu například EEPROM.

Obvody FPGA (Xilinx)

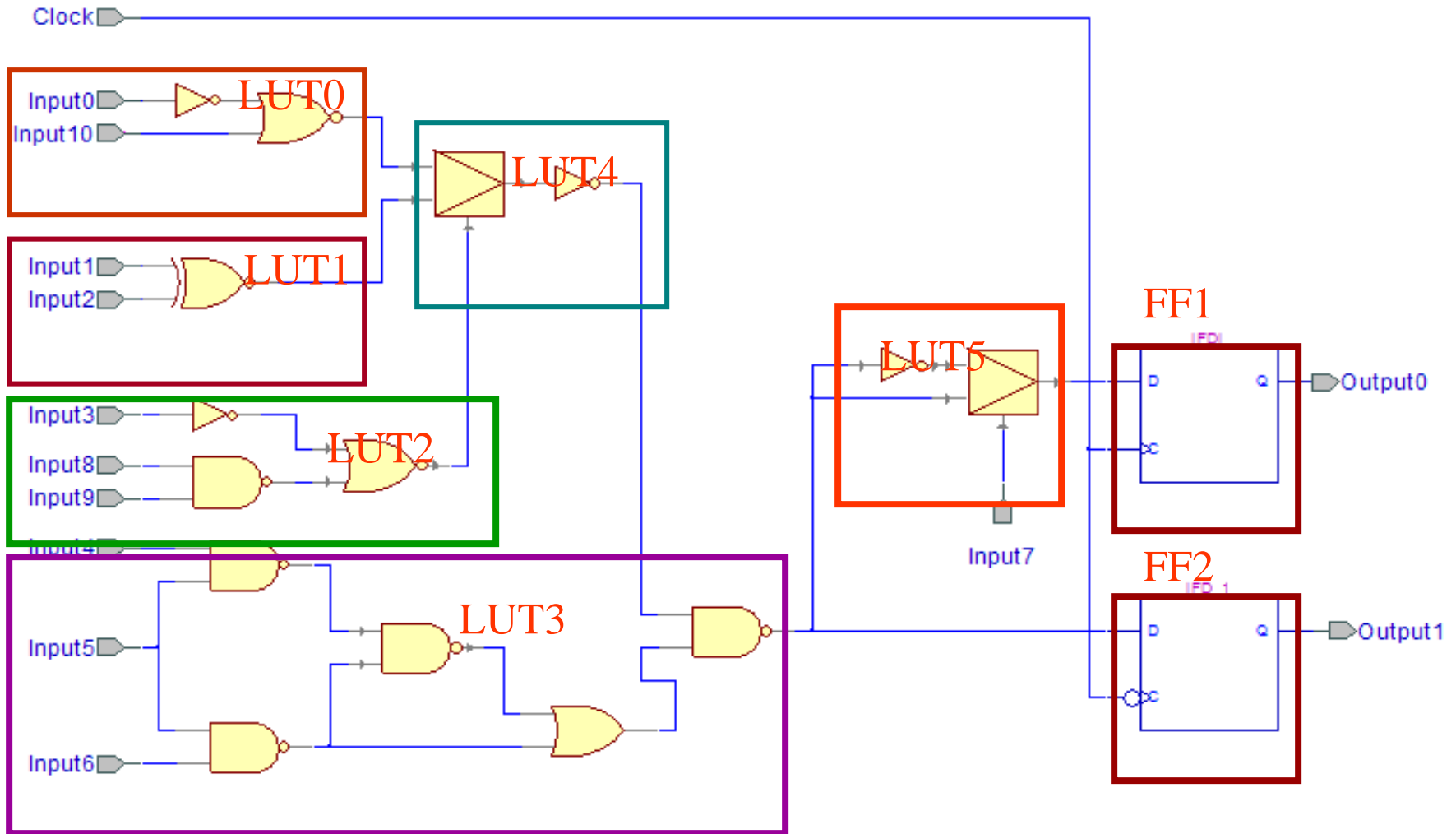
Uspořádání čipu LCA



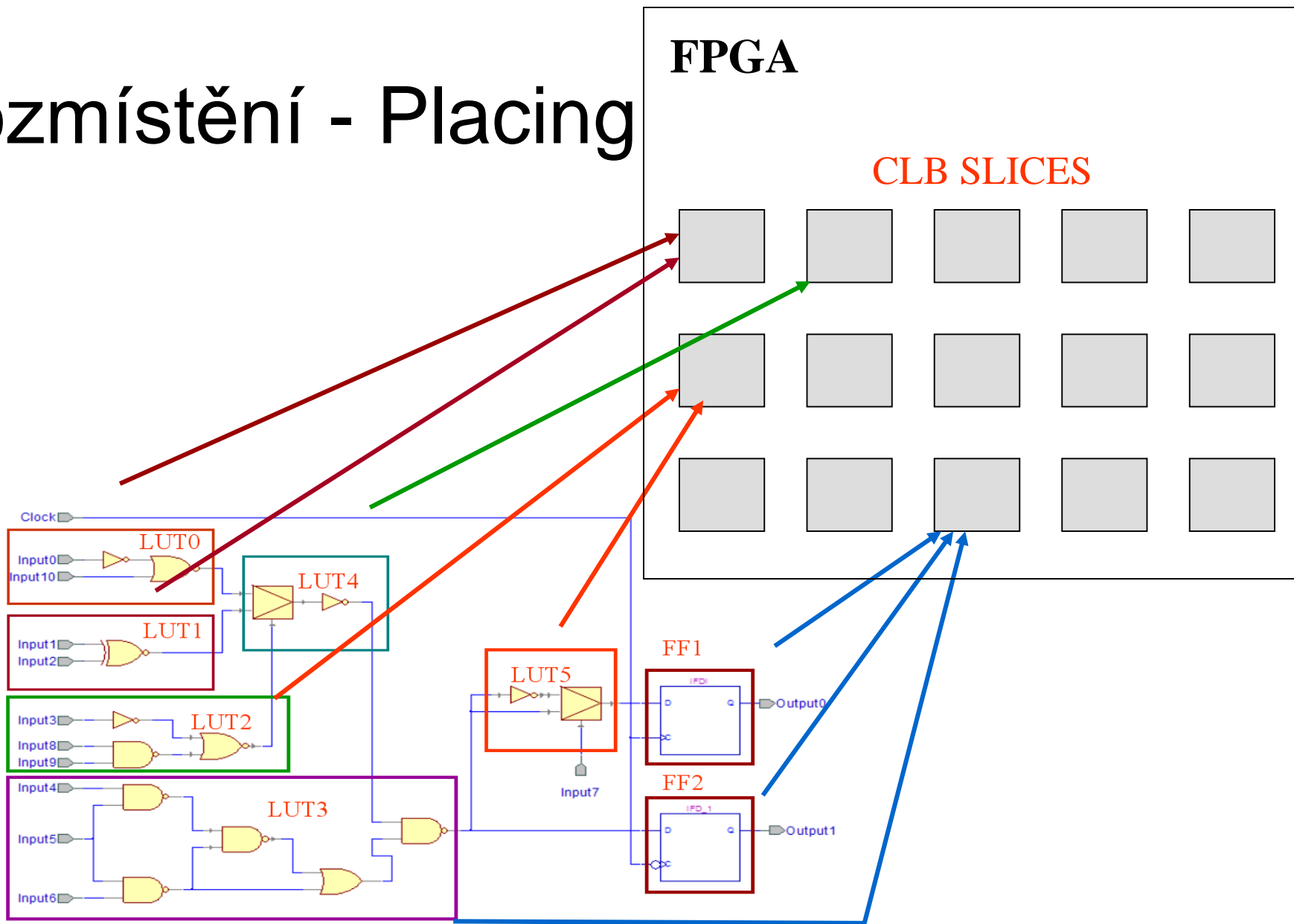
Propojení obvodu -netlist



Mapování



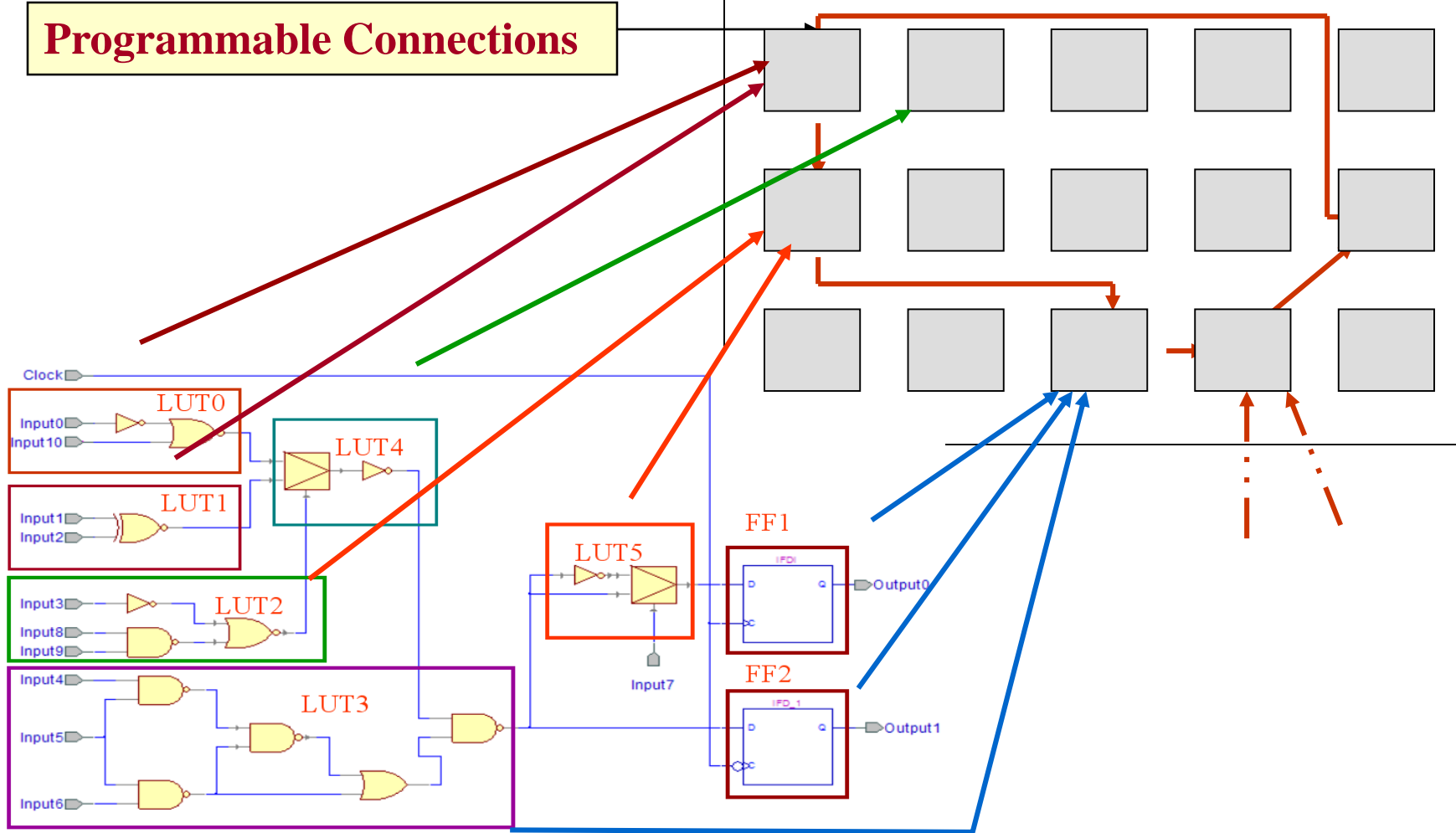
Rozmístění - Placing



Propojení - Routing

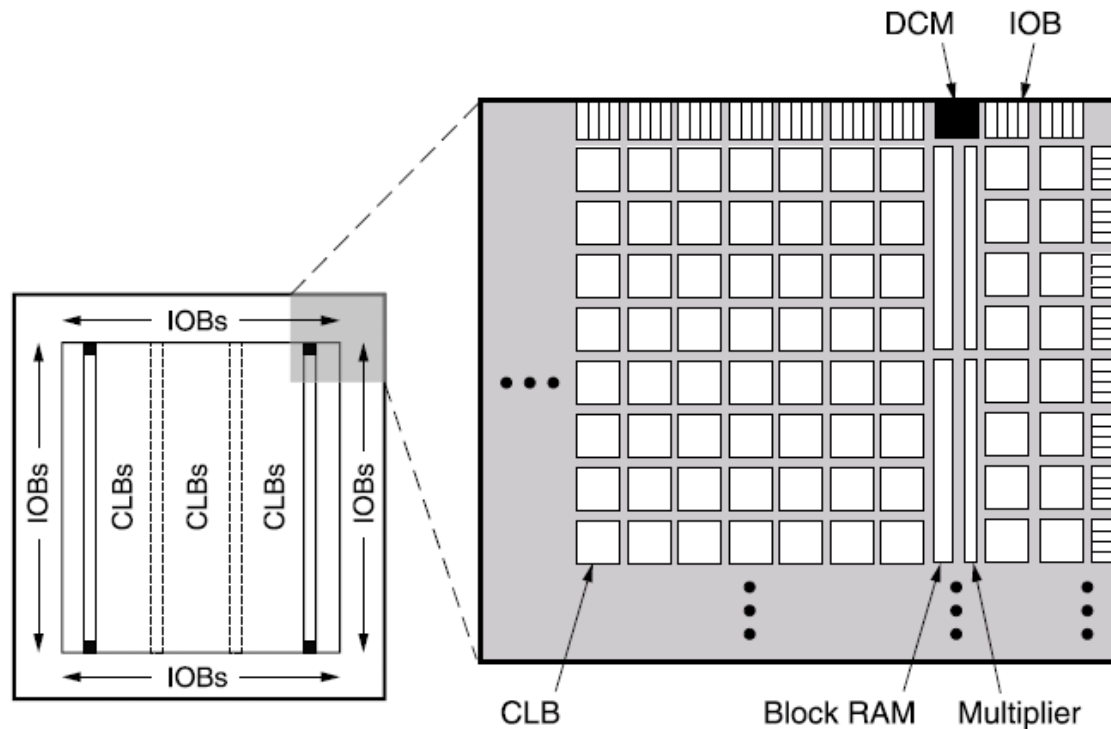
FPGA

Programmable Connections



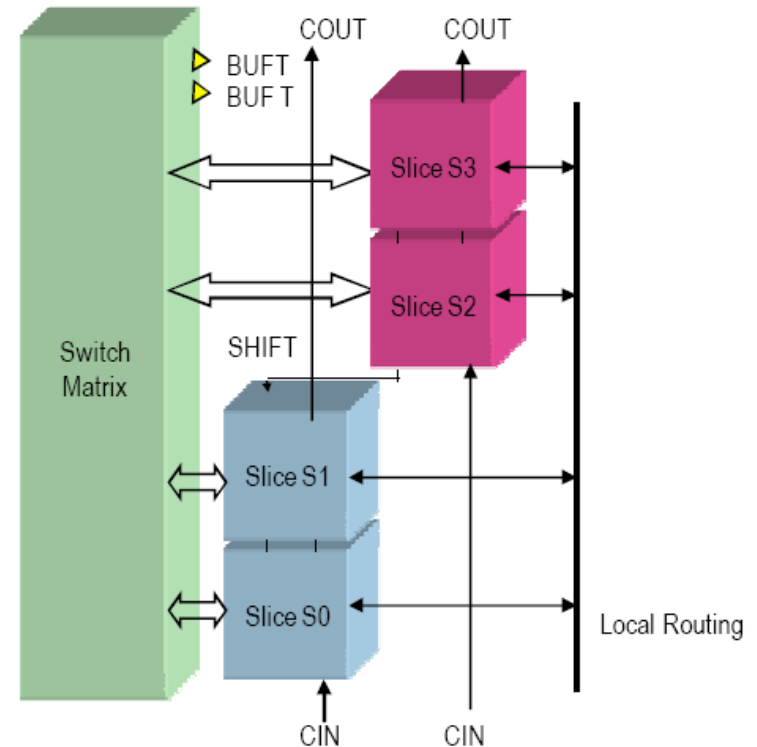
Architektura Xilinx

- Matice konfigurovatelných logických bloků (CLB)
- Vestavěné blokové paměti BlockRAM a násobičky
- Obvody pro řízení hodinového signálu (DCM)



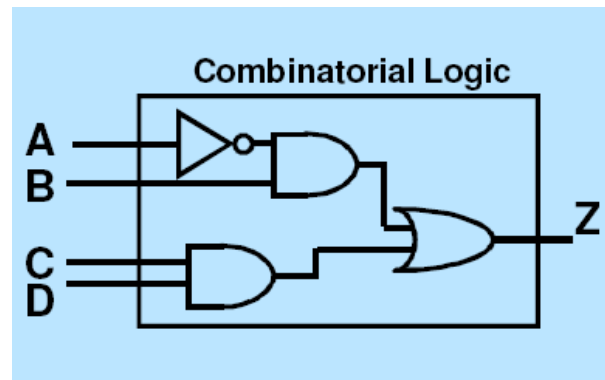
CLB, LC, slice

- Základním stavebním prvkem konfigurovatelného logického bloku (**CLB**) je logická buňka (Logic Cell - **LC**). Logická buňka obsahuje čtyř až 6-vstupový funkční generátor (**FG**, **LUT**), rychlou logiku přenosu a paměťový element.
- Konfigurovatelný logický blok (**CLB**) obsahuje několik (Xilinx čtyři) logické buňky (LC) (Xilinx: uspořádané do dvou řezů **slice**).



Look-up Table

Vyhledávací tabulka, funkční generátor
Slouží k realizaci booleovských funkcí
Konstantní zpoždění signálu pro všechny
Vstupní kombinace

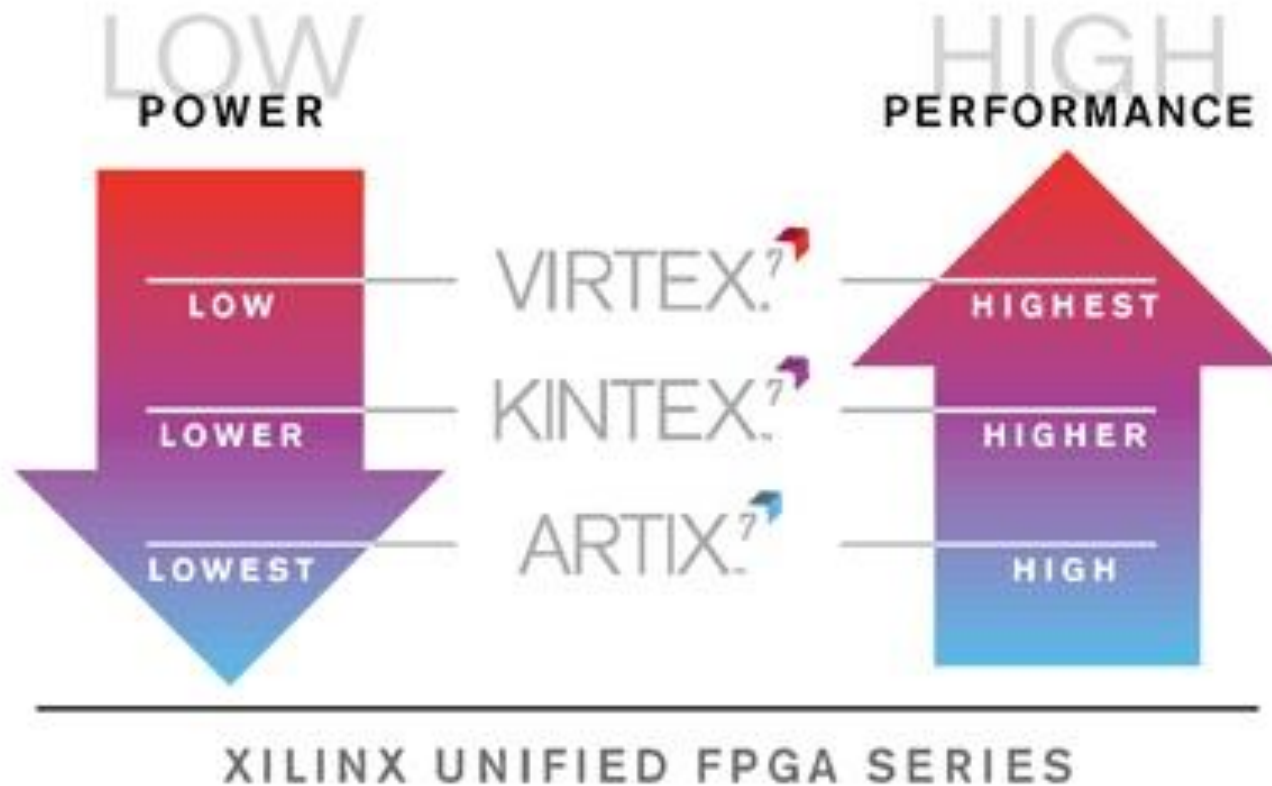


A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
.
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

FPGA Xilinx

- Rodina Virtex: Virtex 2, 4, 5, 6, 7
 - V současnosti se prodává Virtex Ultrascale +
 - Technologie 14 nm, 6-vstupový LUT
- Rodina Spartan: Spartan 2, 2E, 3, 3E, 3A, 6, 7
 - Levnější varianta FPGA, obdobná funkčnost
 - Spartan 6: 45 nm technologie

Xilinx 7 Series FPGAs

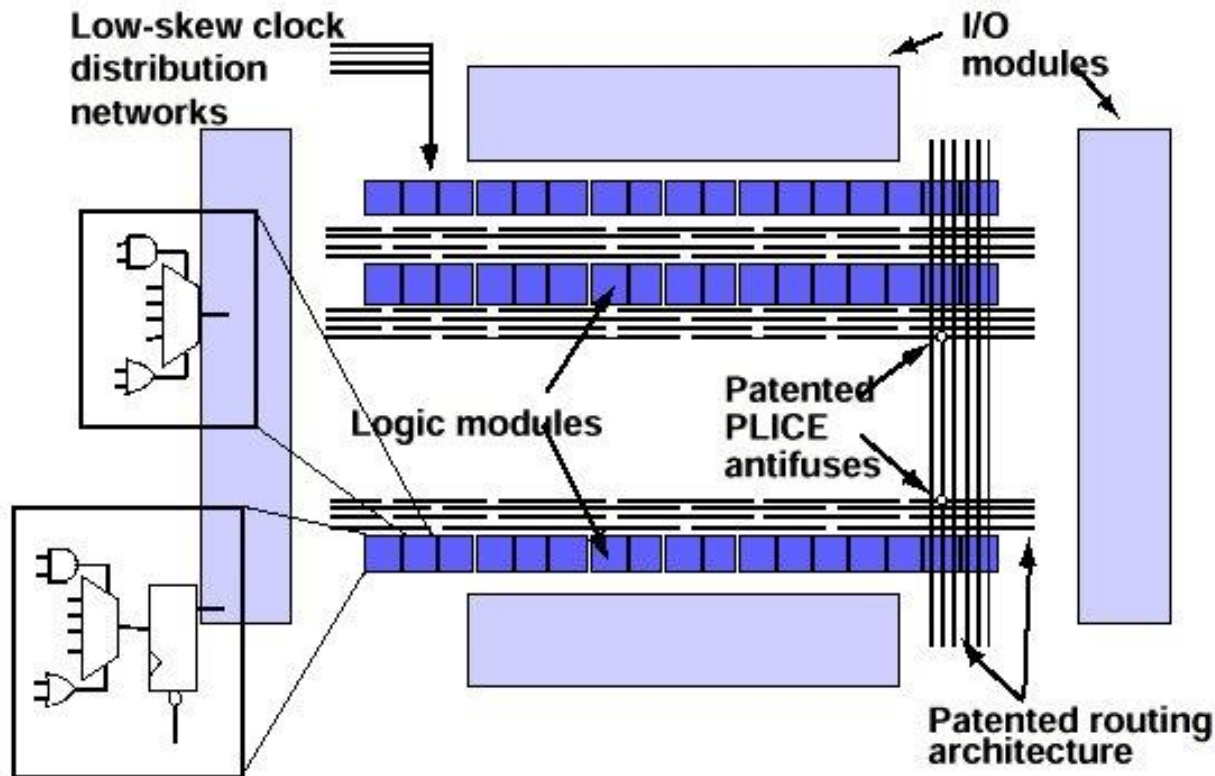


Xilinx 7 Series FPGAs

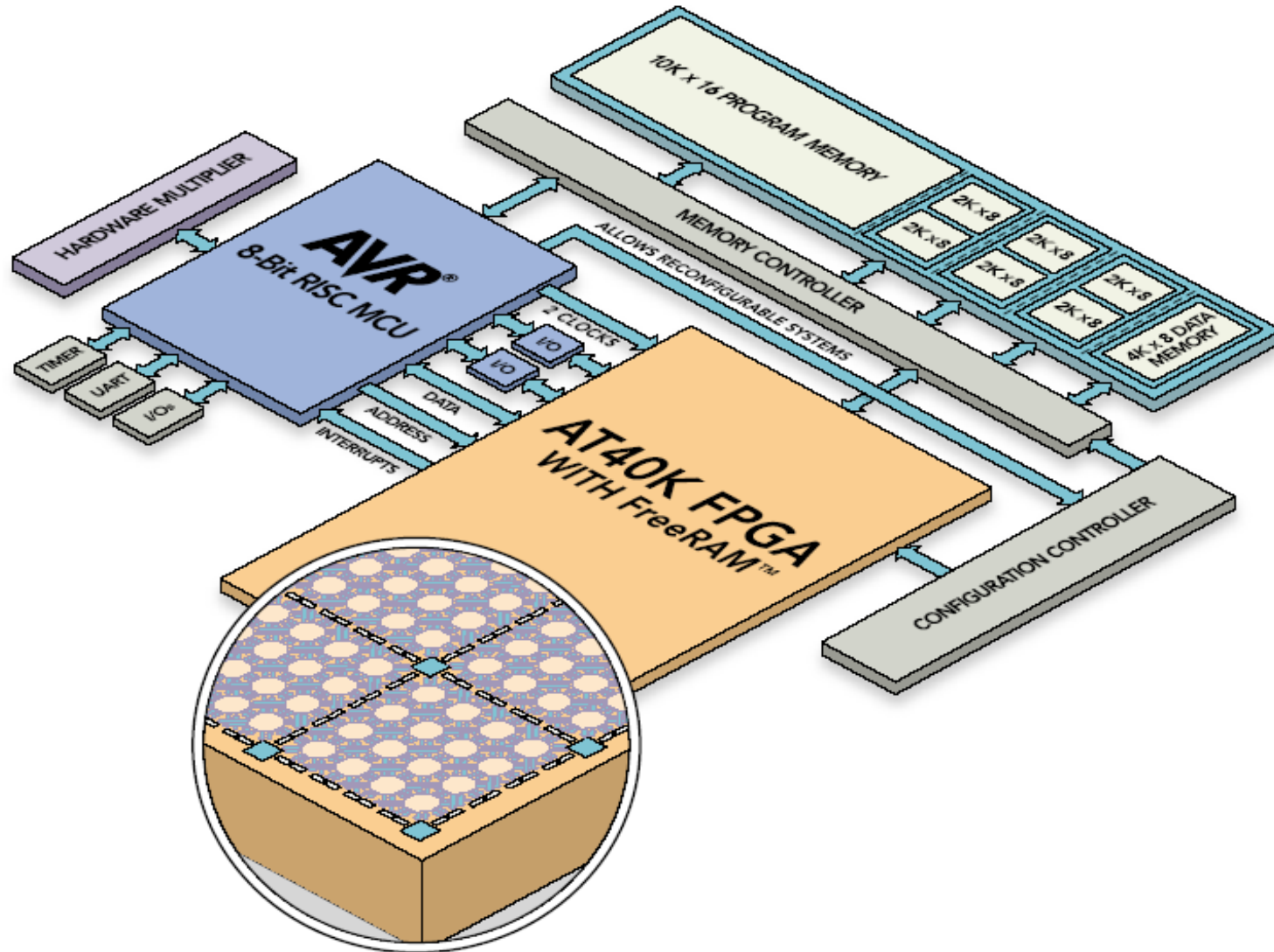
Maximum Capability	Artix-7 Family	Kintex-7 Family	Virtex-7 Family
Logic cells	215 K	478 K	1955 K
Block RAMs	13 Mb	34 Mb	68 Mb
DSP Slices	740	1920	3600
I/O Pins	500	500	1200
I/O Voltage	1.2V,1.35V,1.5V, 1.8V,2.5V,3.3V	1.2V,1.35V,1.5V, 1.8V,2.5V,3.3V	1.2V,1.35V,1.5V, 1.8V,2.5V,3.3V

Obvody FPGA (Actel)

- logické moduly v řadách
- v místech křížení sběrnic propojky PLICE (antifuse)
- konfigurovatelné I/O bloky

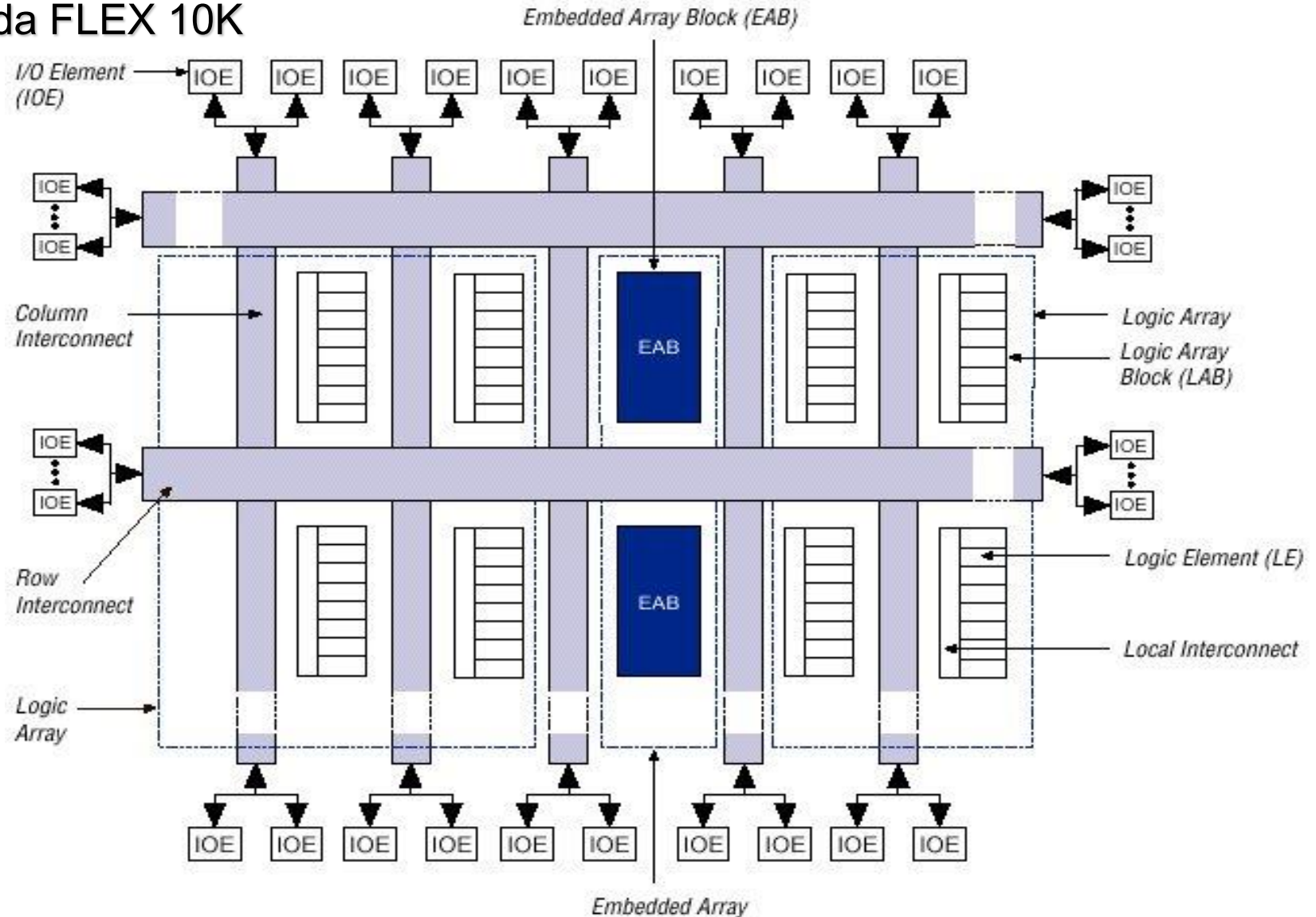


ATMEL AT94K40



Obvody FPGA (Altera)

Řada FLEX 10K



Děkuji za pozornost

Tento materiál vznikl v rámci projektu ESF CZ.1.07/2.2.00/28.0050
Modernizace didaktických metod a inovace výuky technických předmětů,
který je spolufinancován Evropským sociálním fondem a státním rozpočtem ČR.