



TECHNICKÁ UNIVERZITA V LIBERCI
Fakulta mechatroniky, informatiky
a mezioborových studií



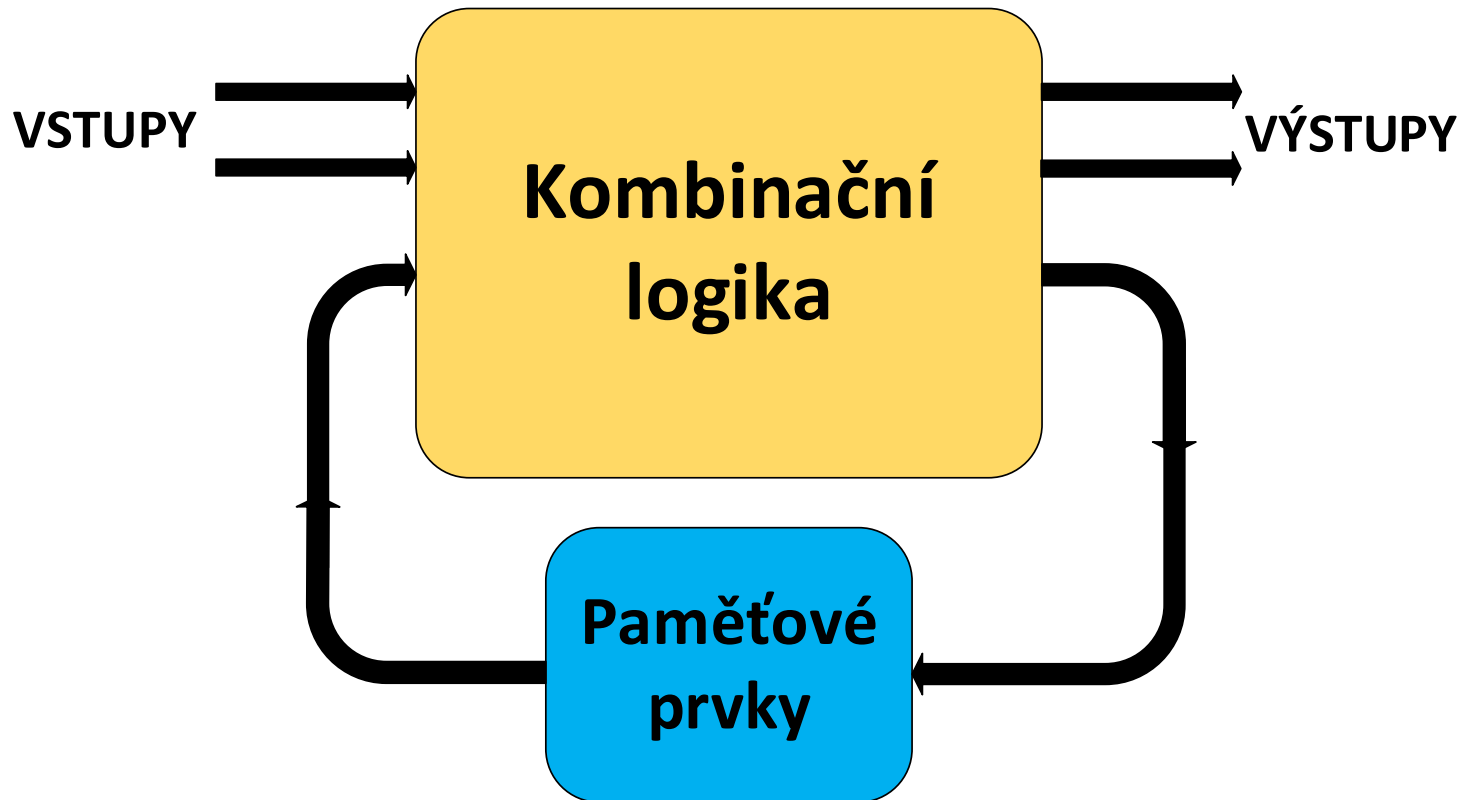
Sekvenční obvody

***Prof. Ing. Ondřej Novák, CSc.
ITE***

Sekvenční obvody

- **klopné obvody**
- **čítače a paměti**
- **obecný návrh sekvenčních obvodů**

Obecné schéma sekvenčních obvodů



- U sekvenčních obvodů je výstupní proměnná jednoznačně určena proměnnou vstupní a stavem paměti

Klopné obvody

- **Asynchronní obvody**
 - **RS klopný obvod**
- **Synchronní jednostupňové obvody**
 - **Jednostupňový latch**
- **Synchronní obvody typu Master-Slave**
 - **J-K klopný obvod**
 - **D klopný obvod**
 - **T klopný obvod**
- **Paměťové prvky**
 - **synchronní**
 - **asynchronní**

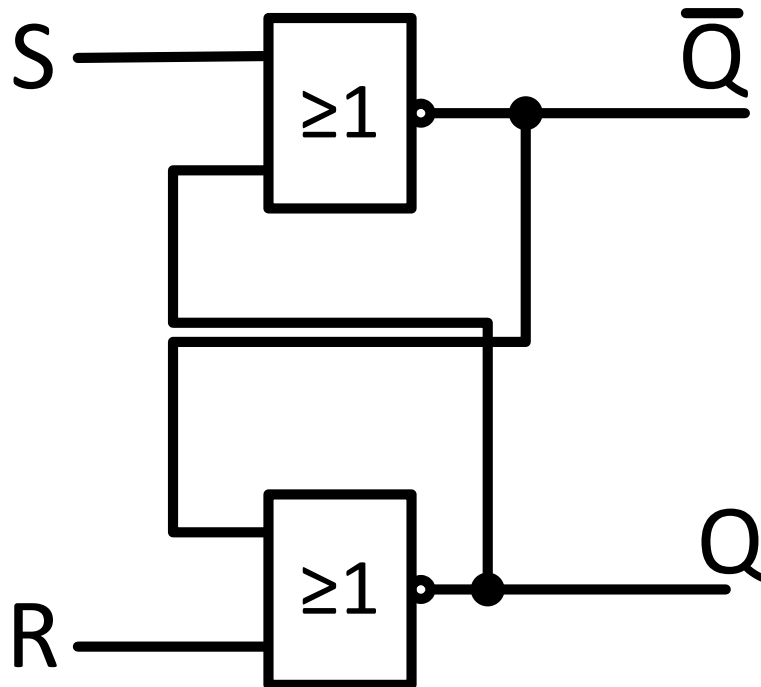
Klopné obvody

Dělení podle reakce na hodinový signál:

- **Hladinové**
- **Hranové**
 - reagující na náběžnou hranu
 - reagující na sestupnou hranu
 - reagující na obě hrany

RS klopný obvod asynchronní

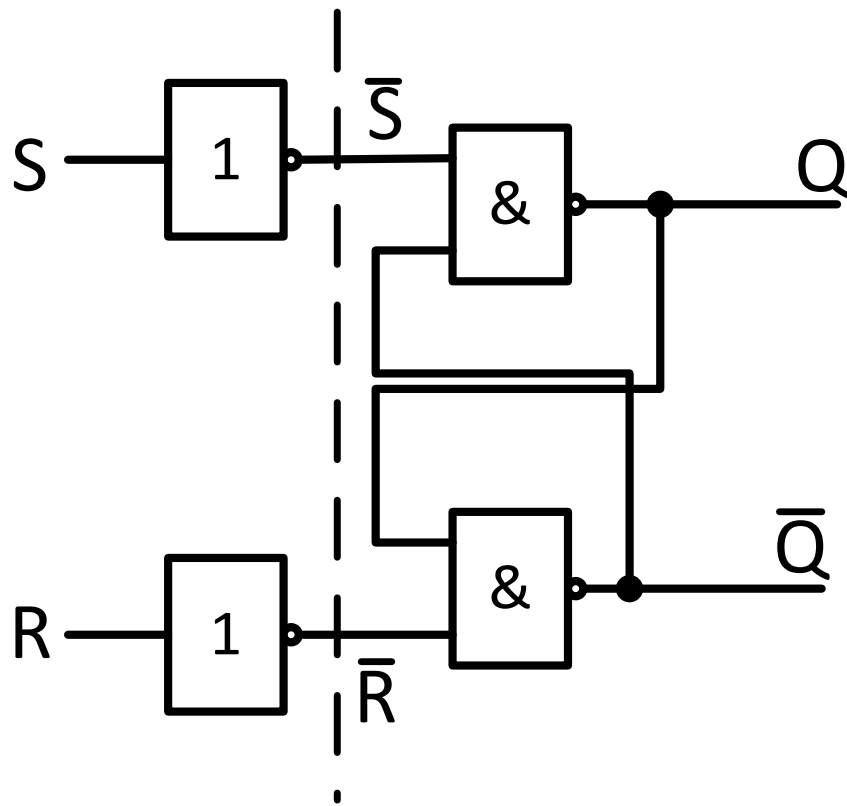
- Realizace hradly NOR



R	S	Q_t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0x
1	1	1	0x

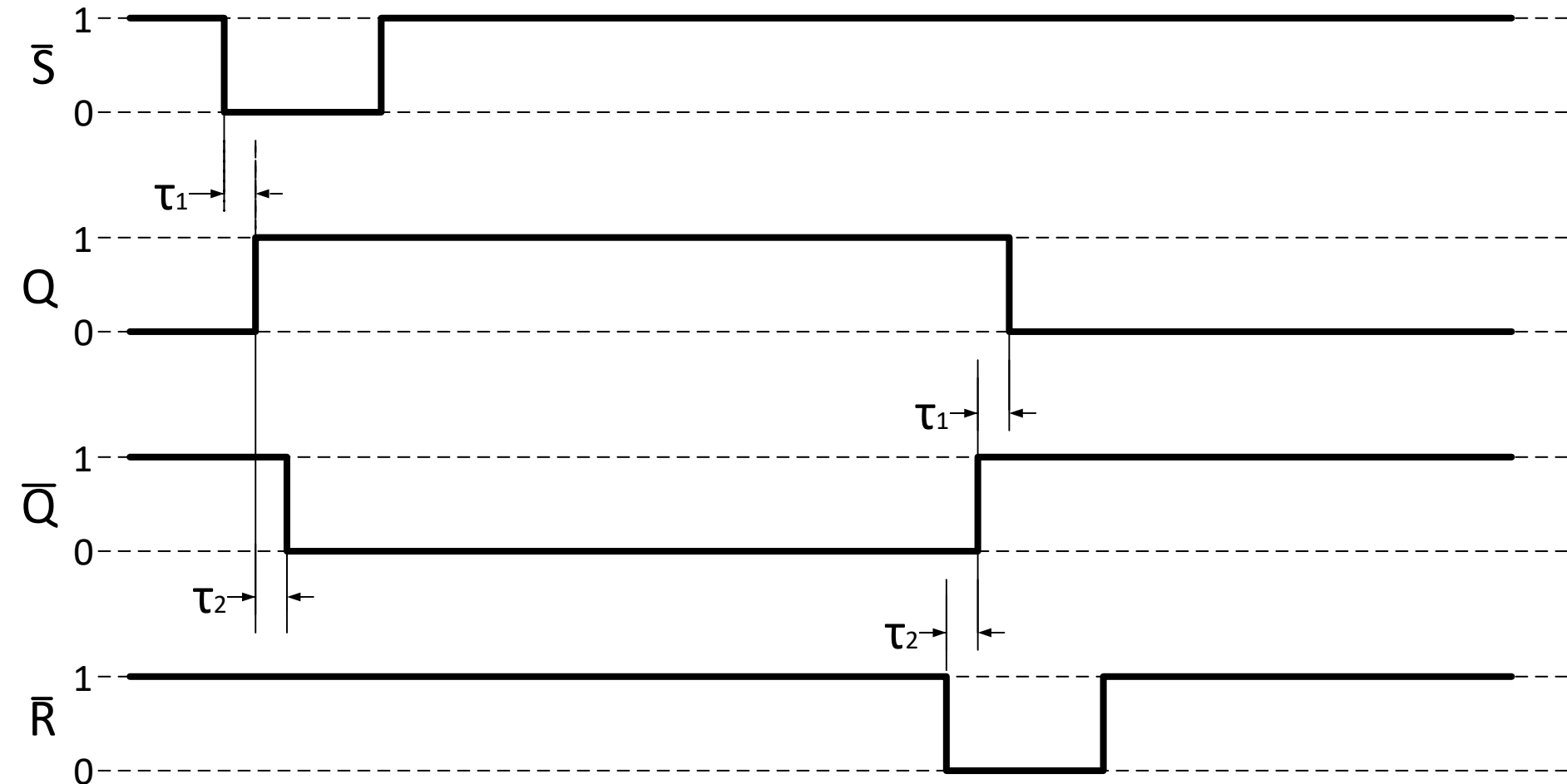
RS klopný obvod asynchronní

- Realizace hradly NAND



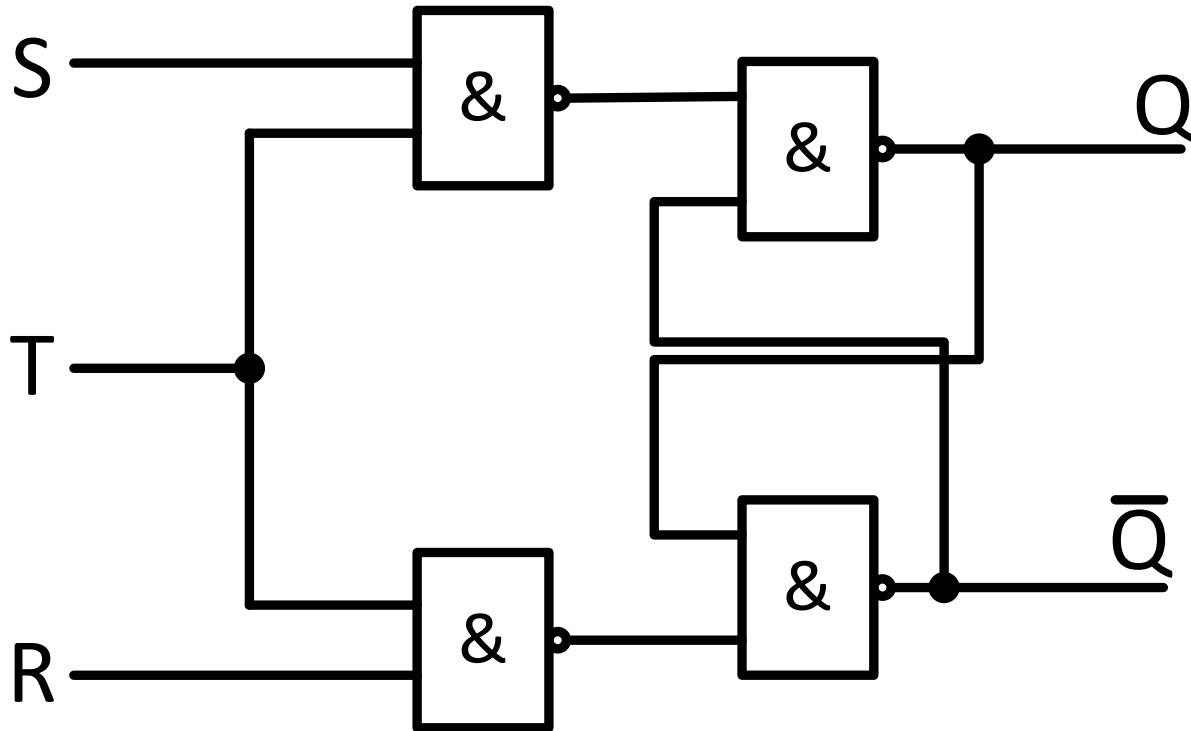
\bar{R}	\bar{S}	Q_t	Q_{t+1}
0	0	0	1x
0	0	1	1x
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Časový diagram RS obvodu tvořeného hradly NAND

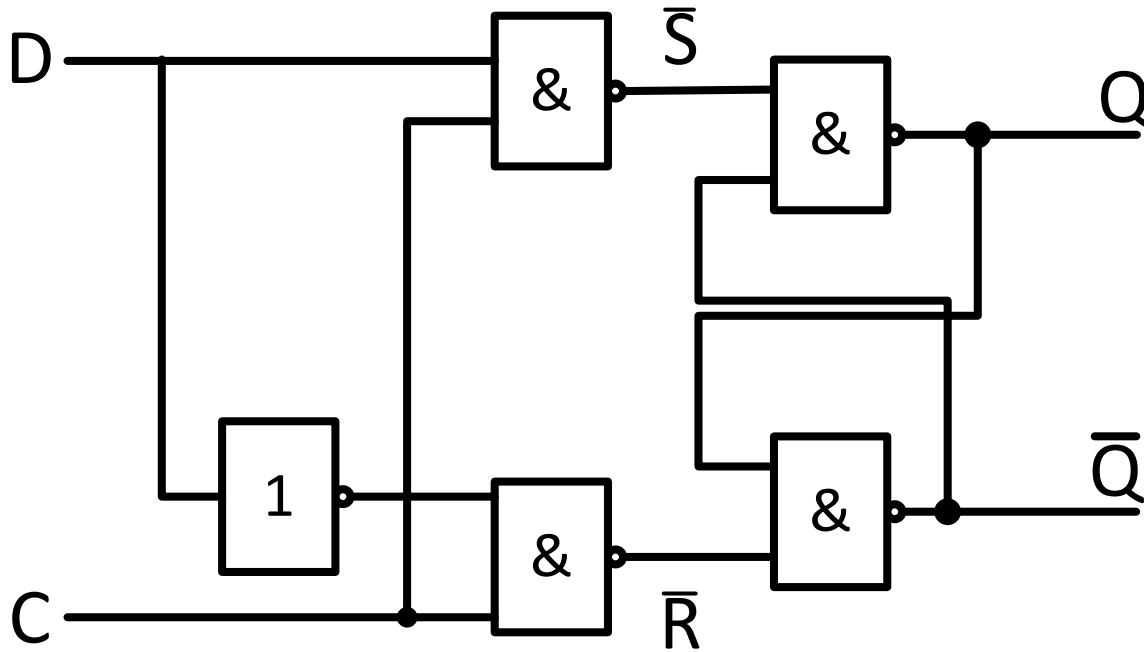


RS obvod řízený signálem T

- Synchronizací lze odstranit vliv hazardů na vstupu



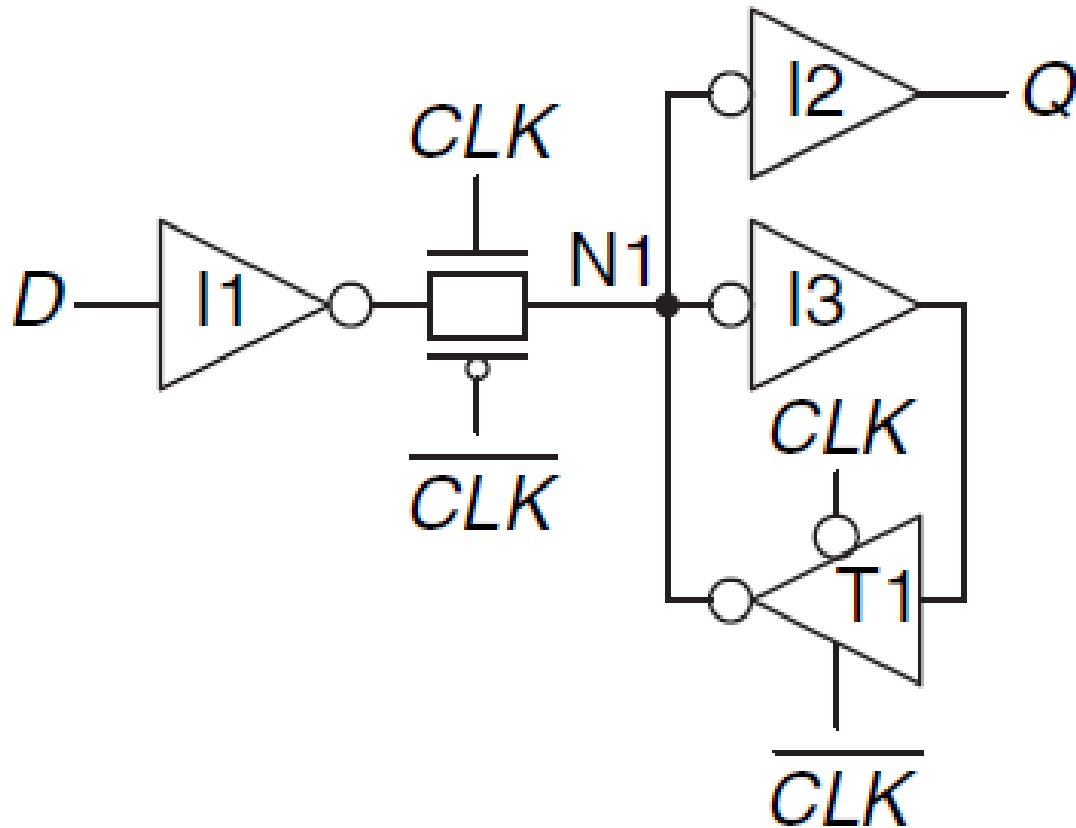
Jednostupňový latch, D latch (hladinový D klop. obvod)



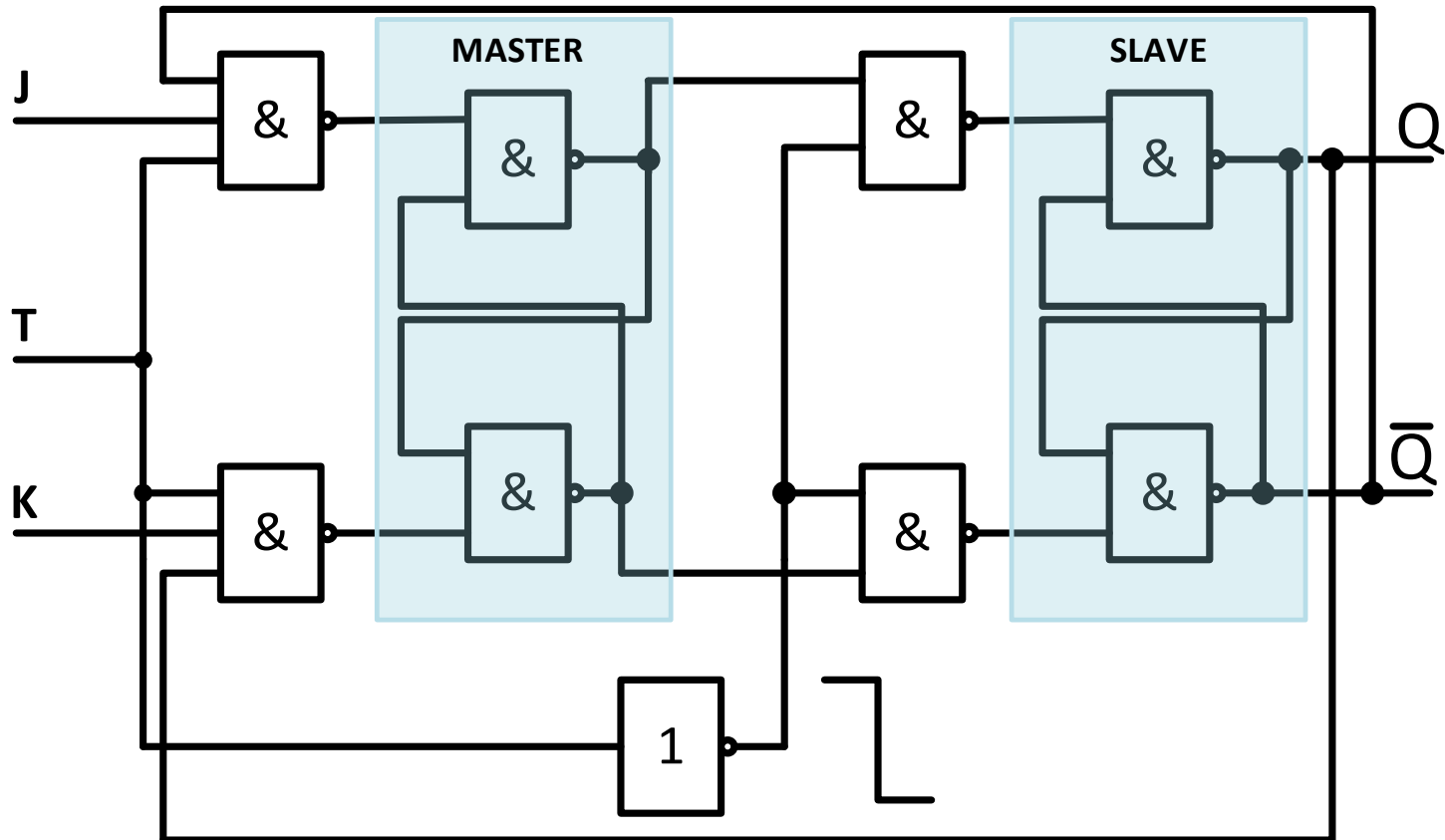
D	C	Q_{t+1}
0	0	Q_t
1	0	Q_t
0	1	0
1	1	1

- **Umožňuje odstranit nedefinované hodnoty (zakázaný stav) na výstupu**

D latch realizovaný přenosovými hradly

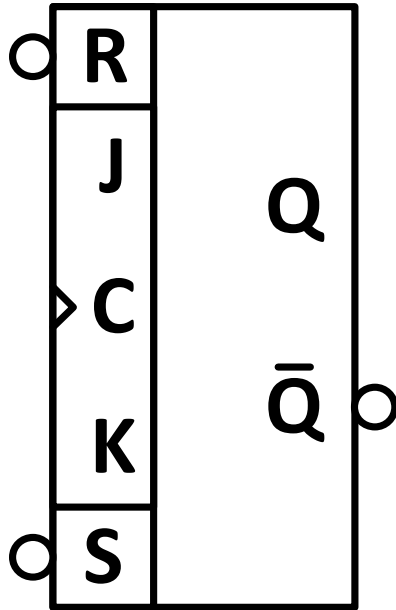


Master-slave J-K klopný obvod

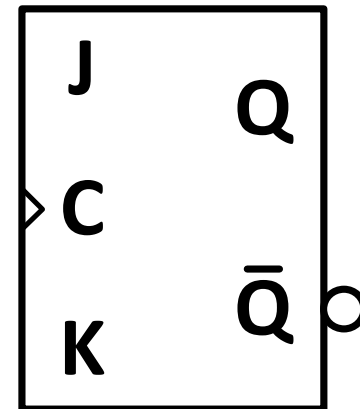


- Řeší problém hodnoty na výstupu v nedefinovaném okamžiku (dáno vnitřními zpožděními obvodu)





J-K klopný obvod



**J-K s asynchronními
vstupy**



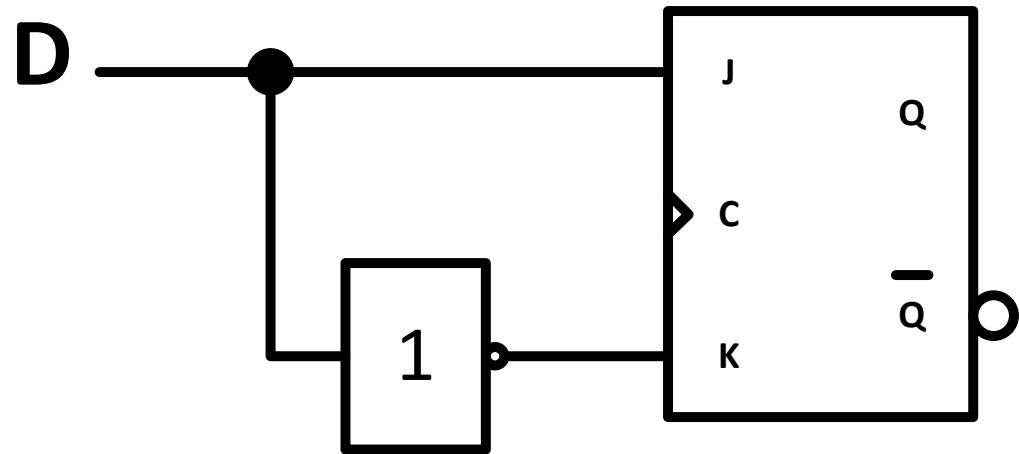
J-K obecná značka

	VSTUPY					VÝSTUPY		POZNÁMKY
	S	R	C	J	K	Q_{t+1}	\bar{Q}_{t+1}	
Asynchronní	0	1	X	X	X	1	0	nastavení do 1
	1	0	X	X	X	0	1	nastavení do 0
	0	0	X	X	X	1*	1*	nestabilní stavy
Synchronní	1	1		0	0	Q_t	\bar{Q}_t	beze změny
	1	1		1	0	1	0	nastavení do 1
	1	1		0	1	0	1	nastavení do 0
	1	1		1	1	\bar{Q}_t	Q_t	změna stavu
	1	1	0	X	X	Q_t	\bar{Q}_t	beze změny

*nestabilní stavy (obdobně jako u R-S klopného obvodu)

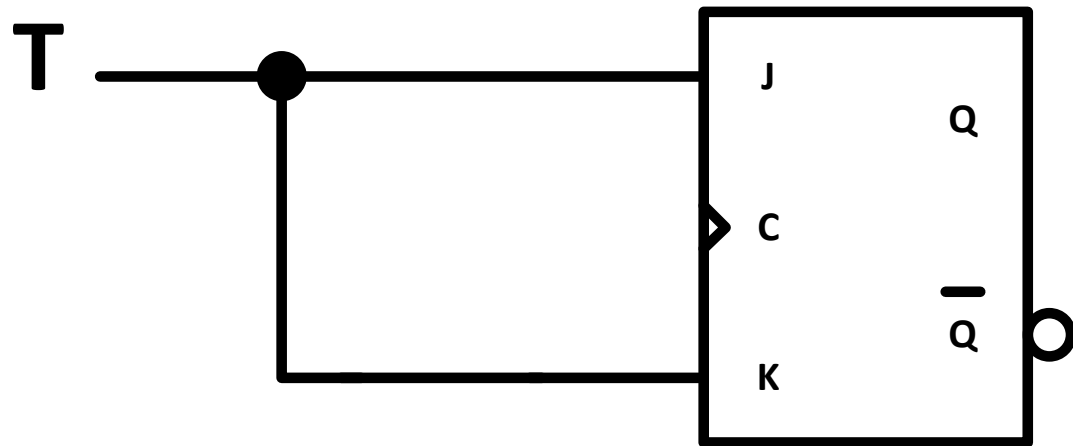
D klopný obvod, DFF, D flip-flop

D	Q_t	Q_{t+1}
0	0	0
0	1	0
1	0	1
1	1	1

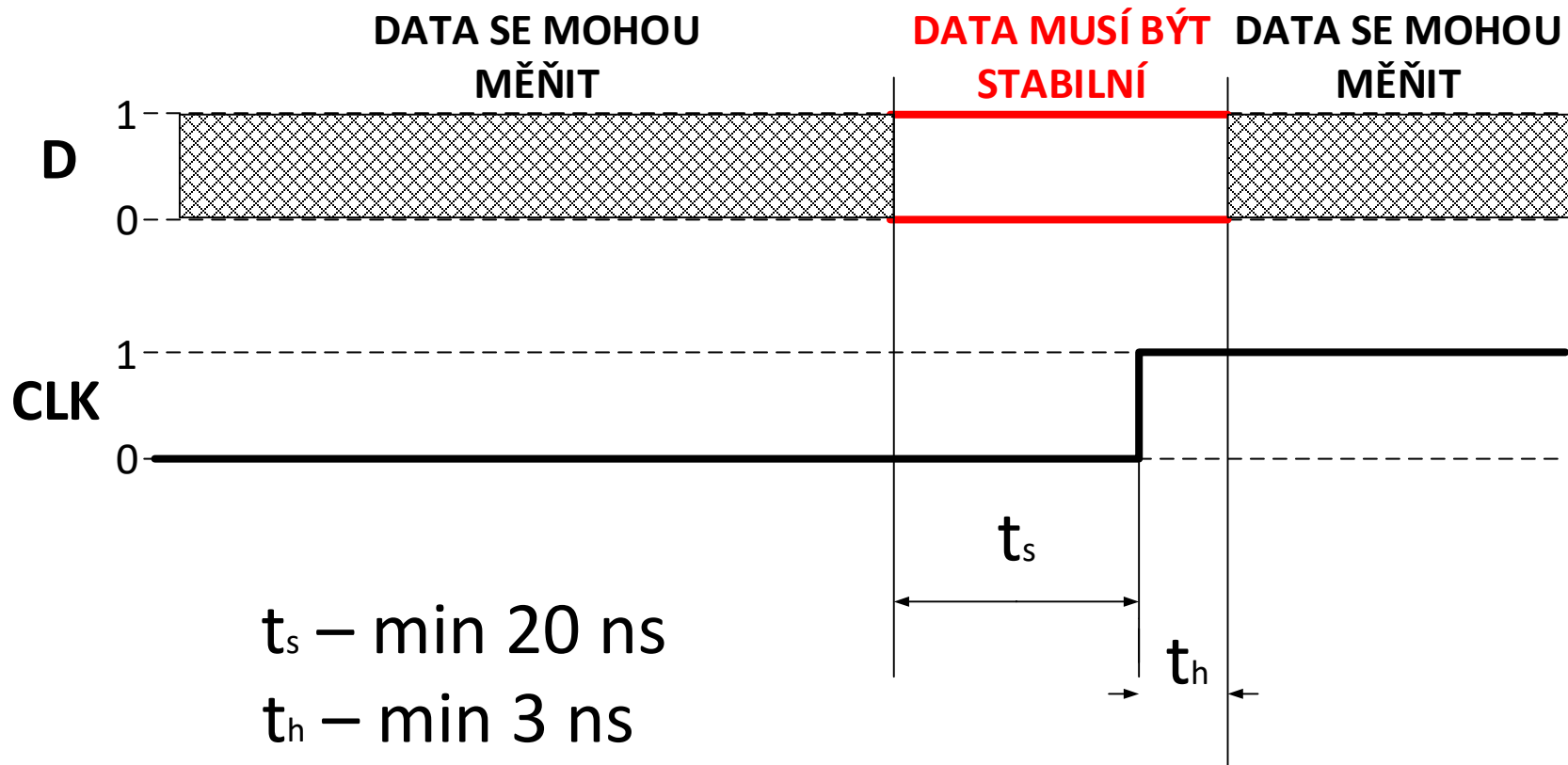


T klopný obvod

D	Q_t	Q_{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

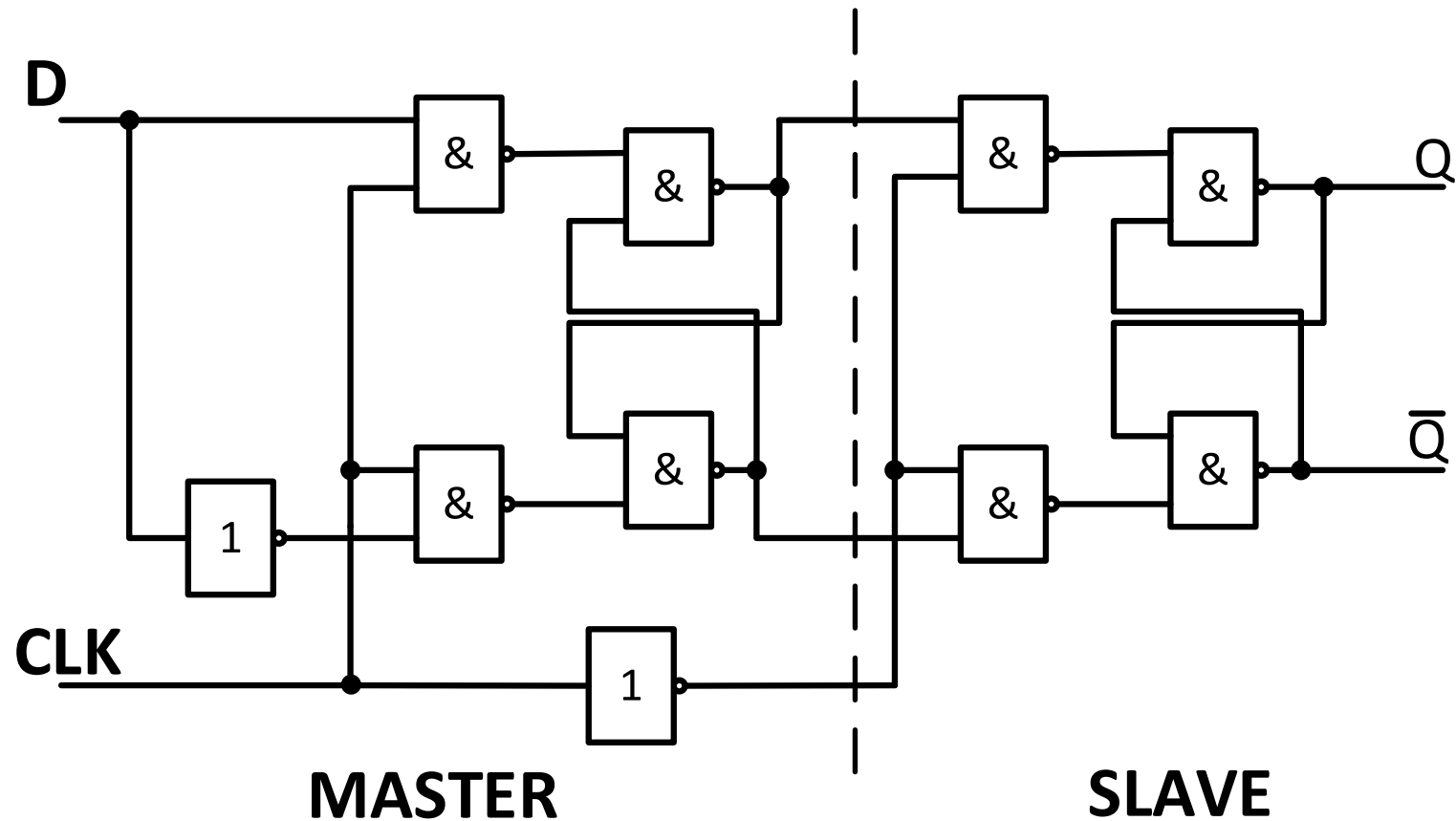


t_{set} a t_{hold} - hranové obvody



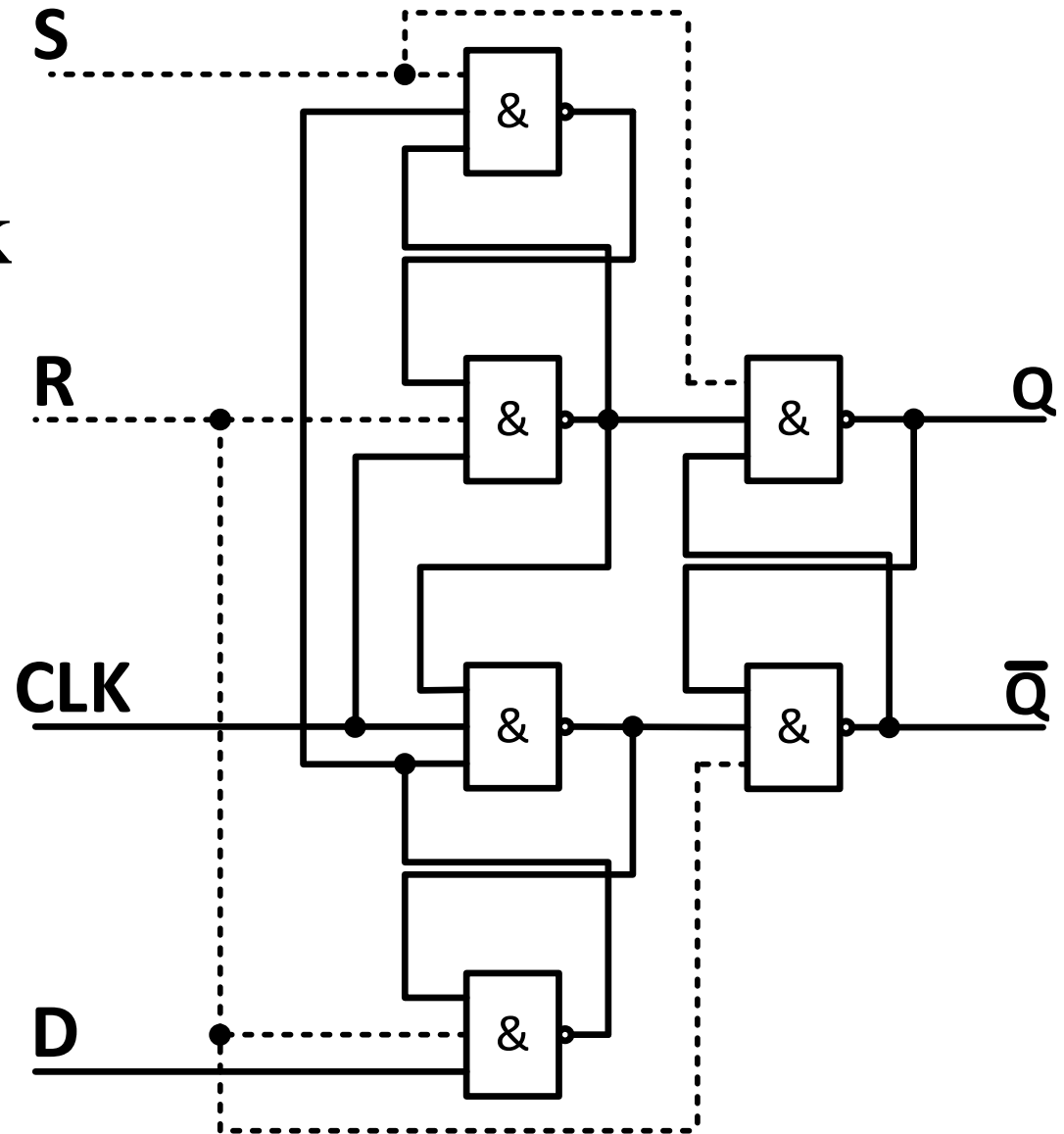
D klopný obvod

- reagující na sestupnou hranu CLK

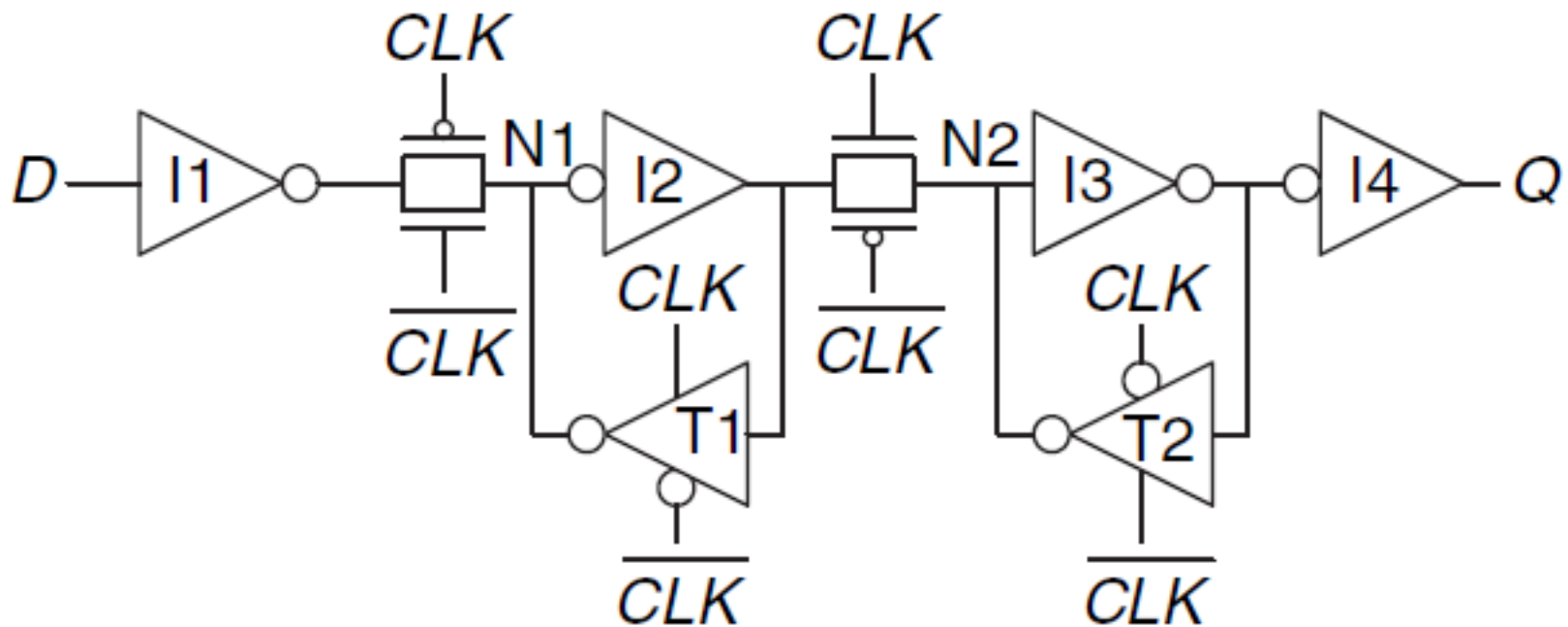


D klopný obvod

- reagující na
náběžnou hranu CLK



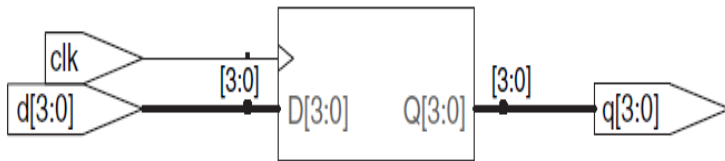
D flip-flop realizovaný přenosovými hradly



DFF

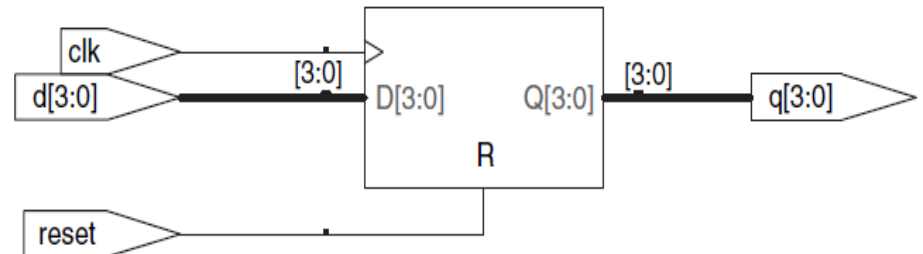
architecture synth of flop is

```
begin
process(clk) begin
if rising_edge(clk) then
q <= d;
end if;
end process;
end;
```

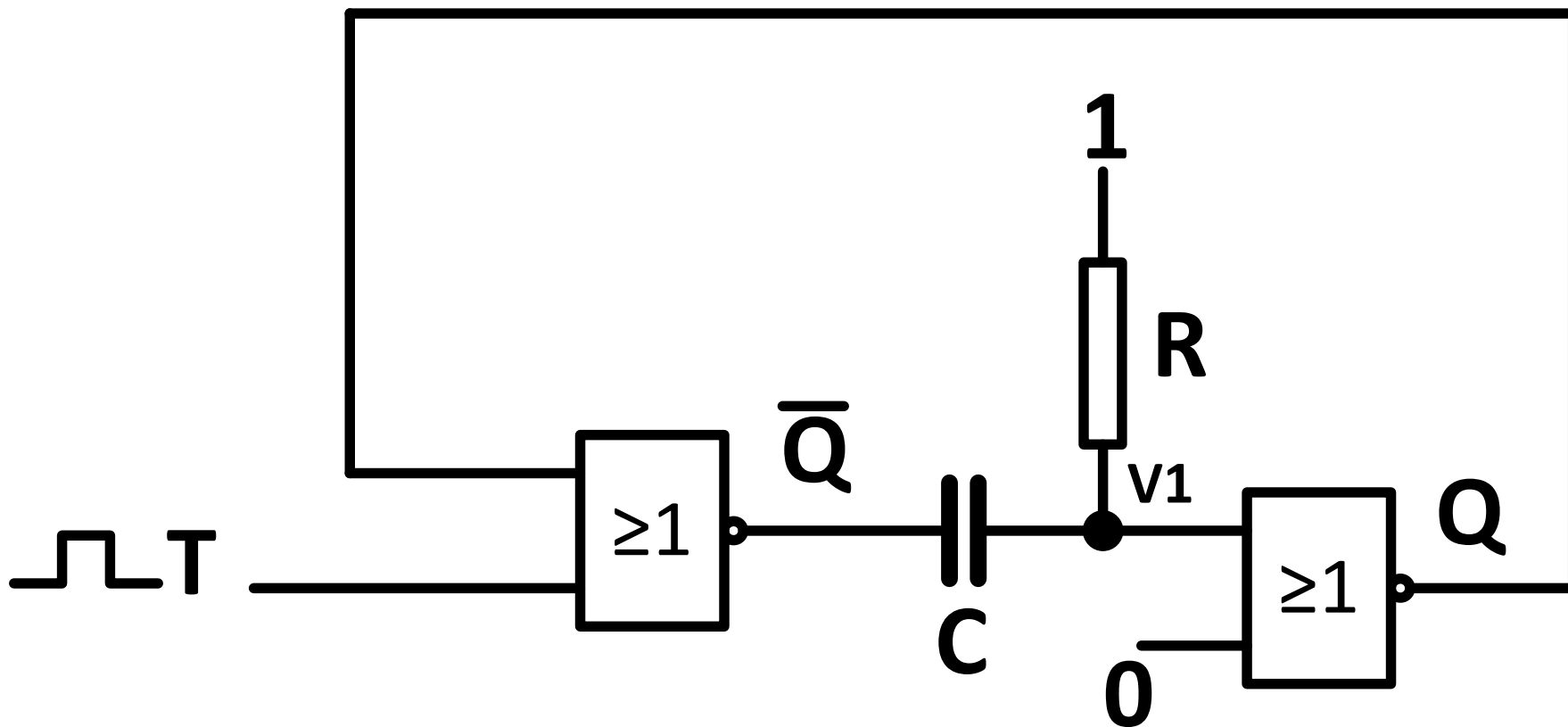


architecture asynchronous of flopr is

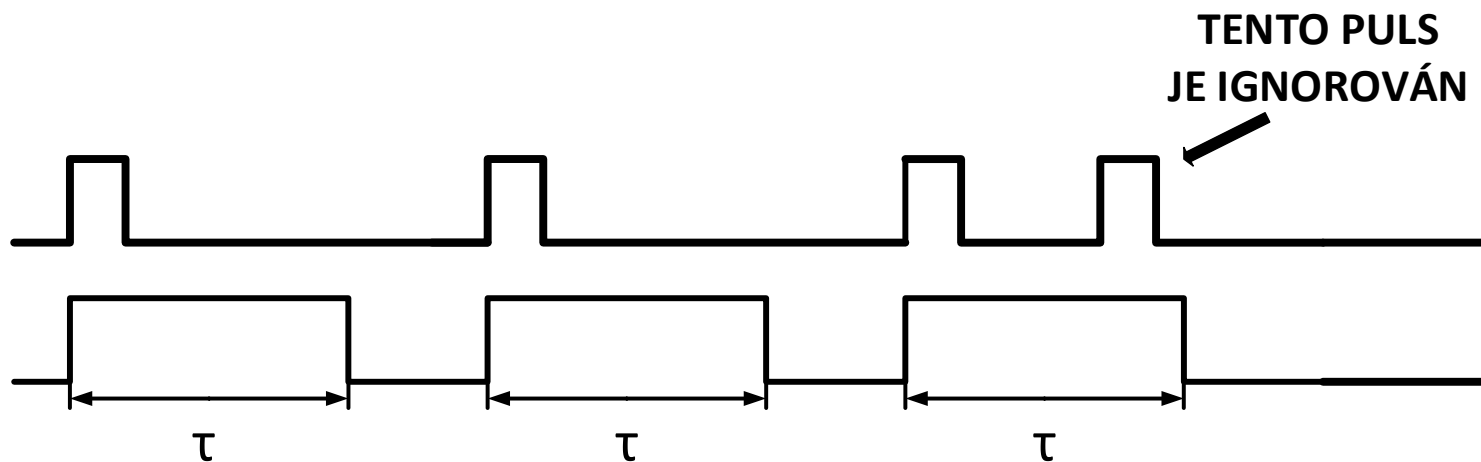
```
begin
process(clk, reset) begin
if reset then
q <= "0000";
elsif rising_edge(clk) then
q <= d;
end if;
end process;
end;
```



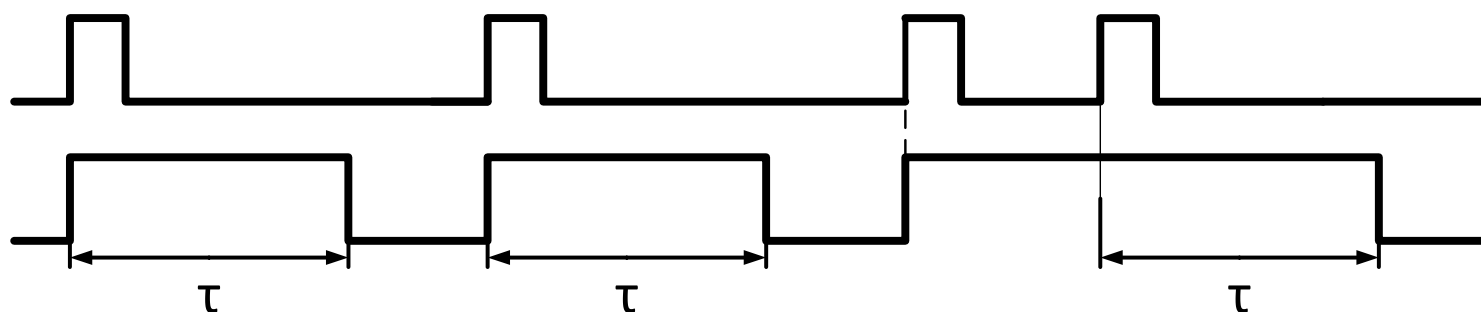
Monostabilní klopný obvod



Časové diagramy monostabilních obvodů

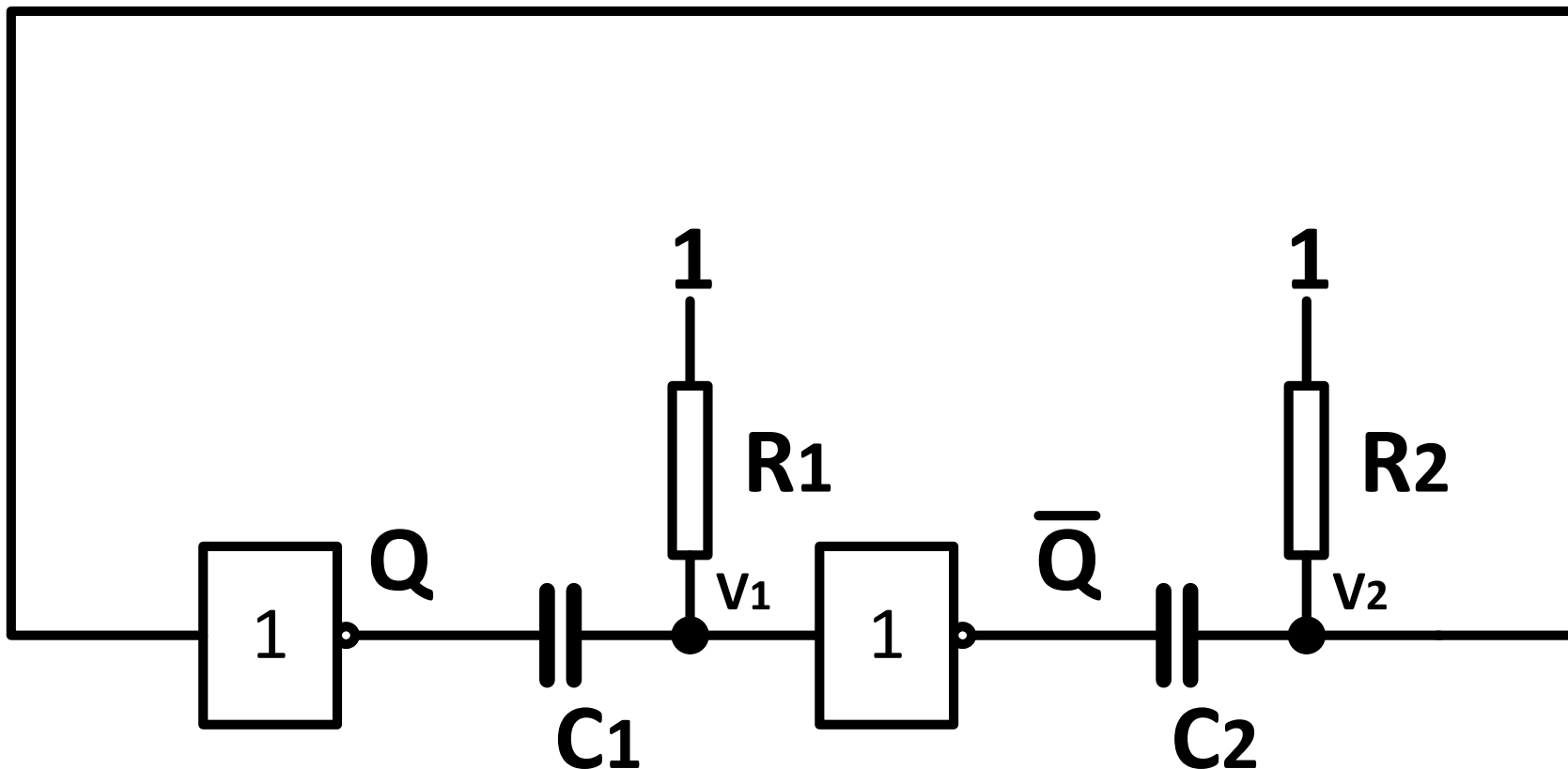


Monostabilní obvod bez opakovaného spuštění

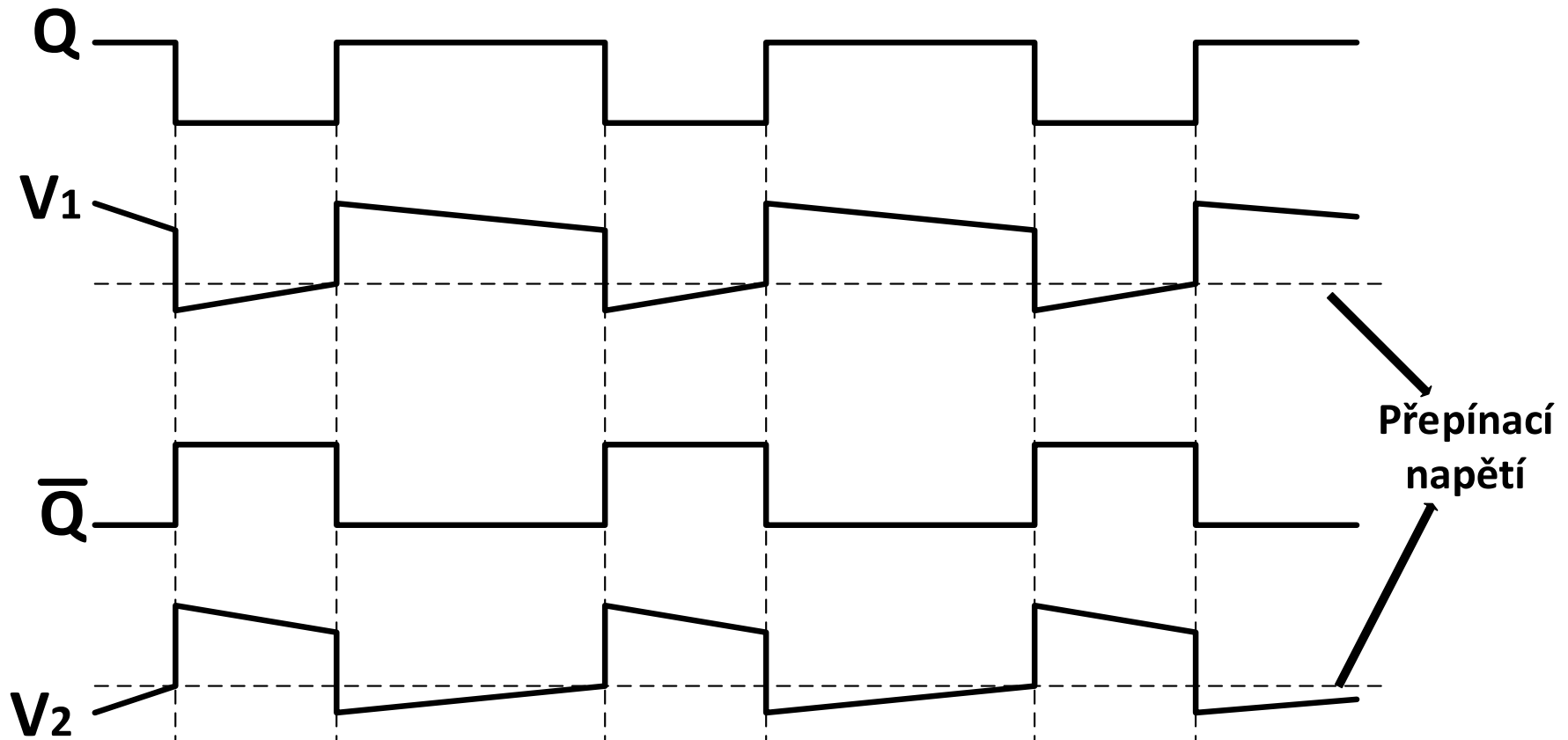


Monostabilní obvod s opakovaným spuštěním

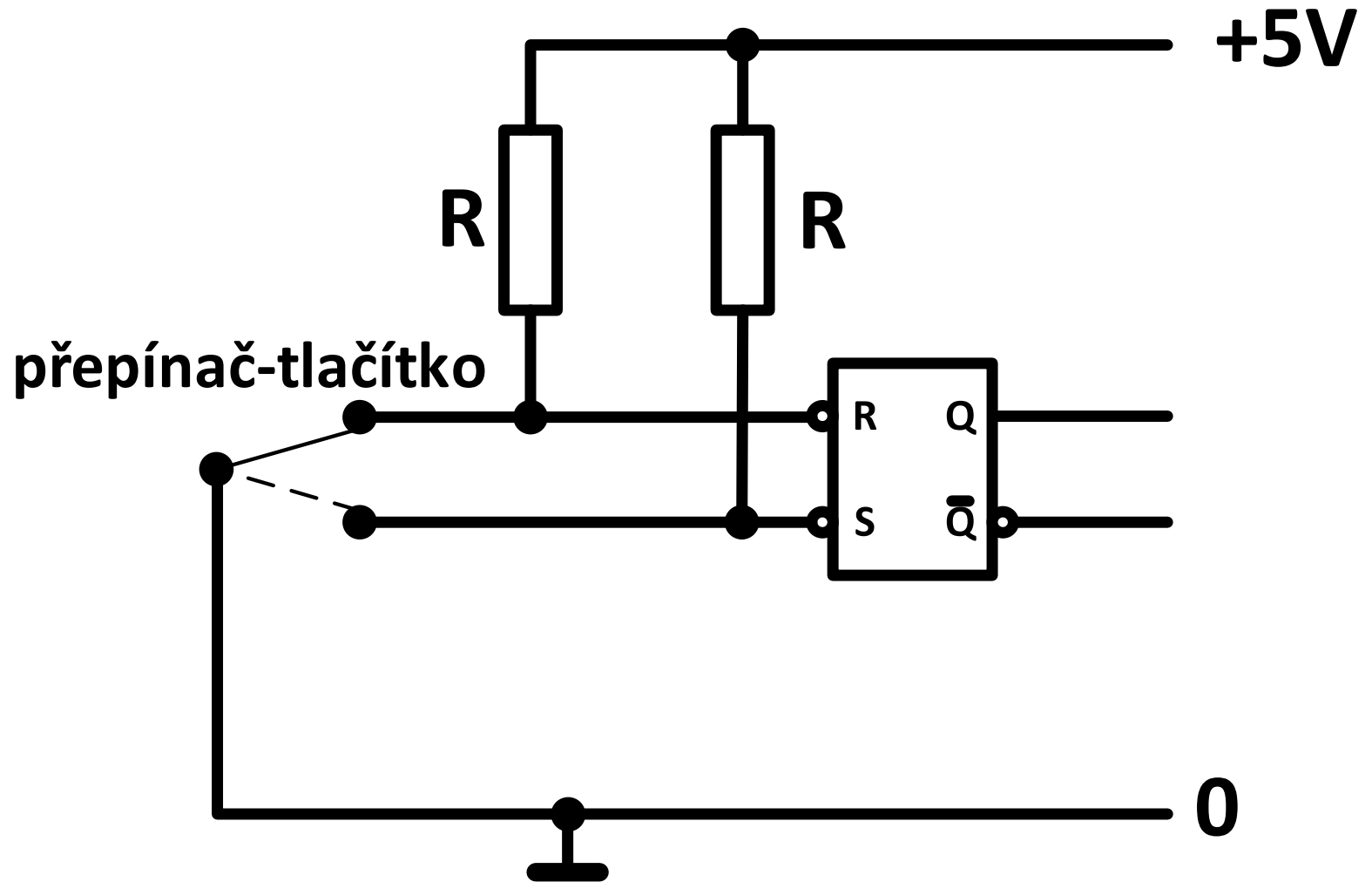
Astabilní klopný obvod



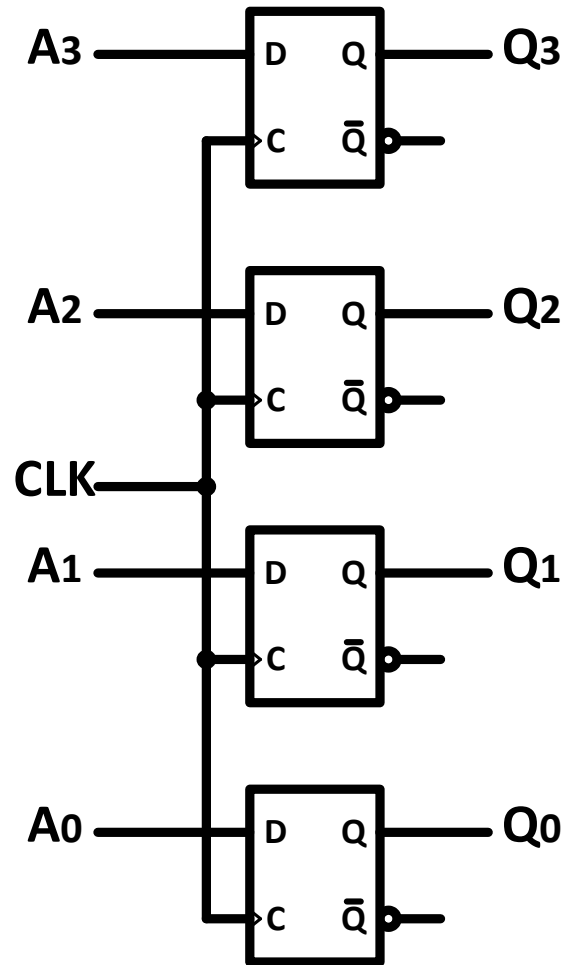
Časový diagram astabilního obvodu



Ošetřené tlačítko

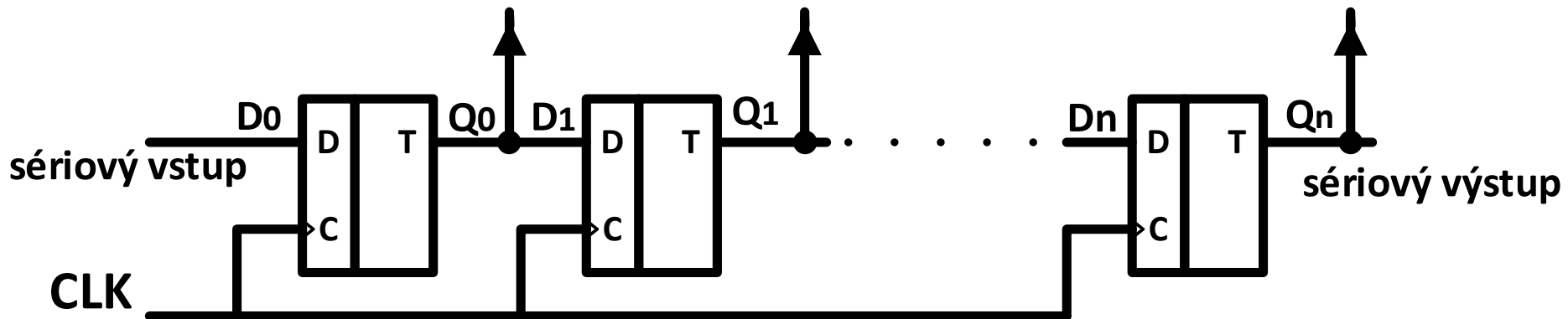


Registr



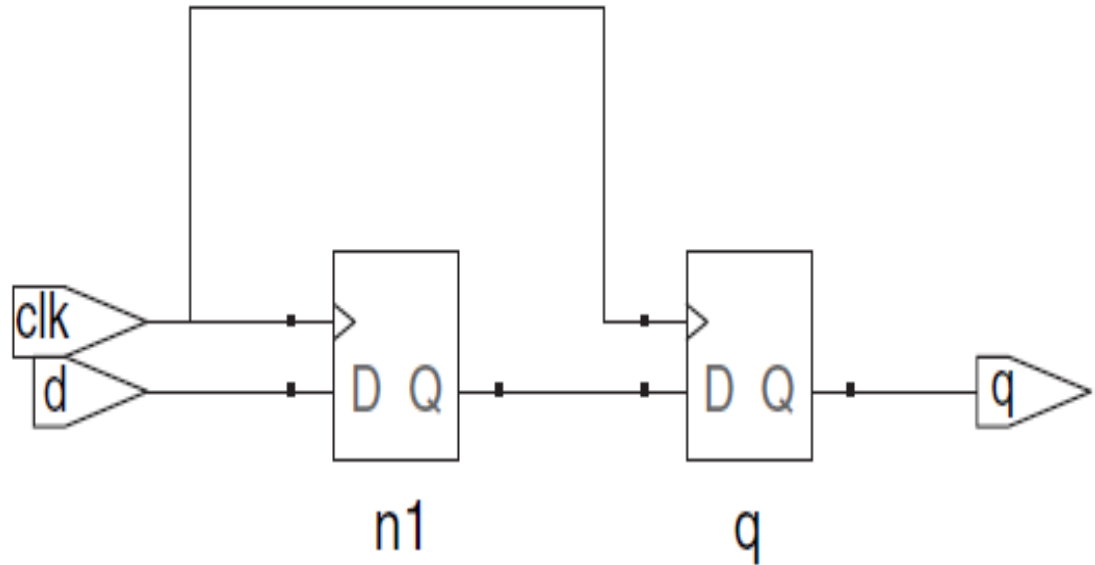
Posuvný registr

PARALELNÍ VÝSTUPY

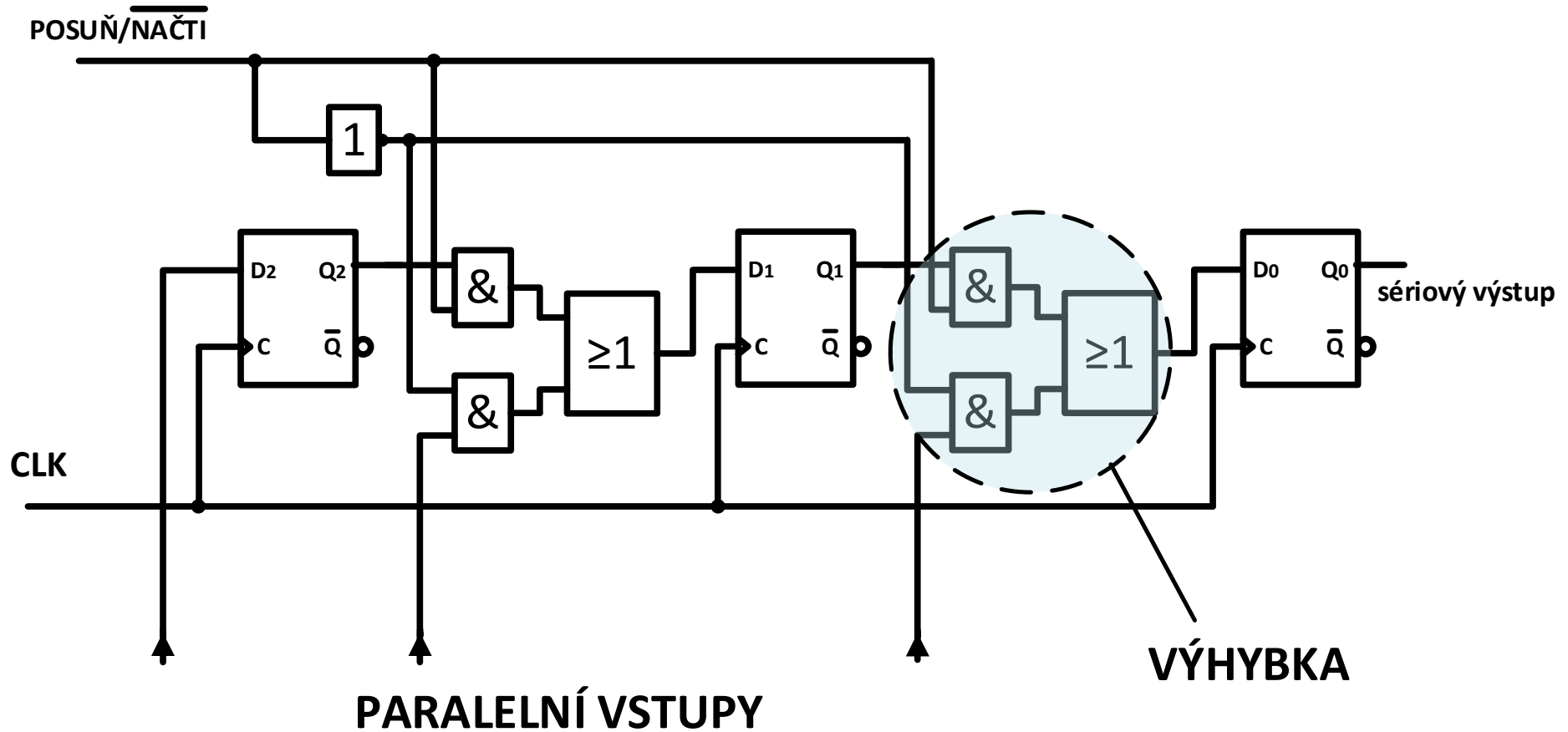


Posuvný registr

```
library IEEE; use
IEEE.STD_LOGIC_1164.all;
entity sync is
port(clk: in STD_LOGIC;
d: in STD_LOGIC;
q: out STD_LOGIC);
end;
architecture good of sync is
signal n1: STD_LOGIC;
begin
process(clk) begin
if rising_edge(clk) then
n1 <= d;
q <= n1;
end if;
end process;
end;
```



Posuvný registr s paralelním zápisem



Použití posuvných registrů při sériové komunikaci

